



Digitalna vezja UL, FRI



Vaja 12, Register, Števec (Protoboard)

TTL čipi

Pomnilna celica

- **7473** -'Dual J-K Flip-Flops with clear', 14 pinov:

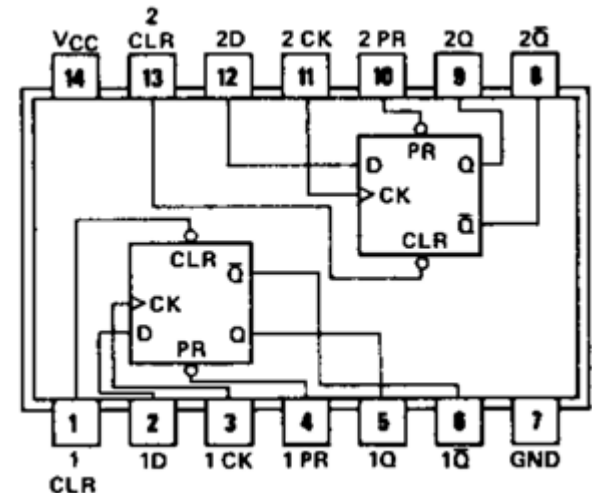
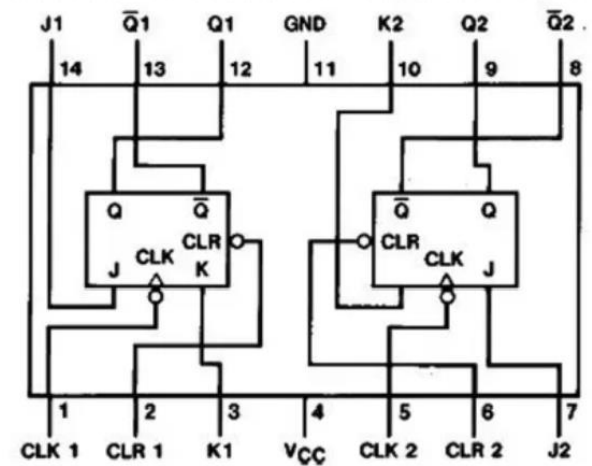
- Pin 11: GND
- Pin 4: VCC

<https://www.ti.com/lit/ds/symlink/sn54ls73a.pdf>

- **7474** -'Dual D-Type Positive-Edge-Triggered Flip-Flops with preset and clear', 14 pinov

- Pin 7: GND
- pin 14: VCC

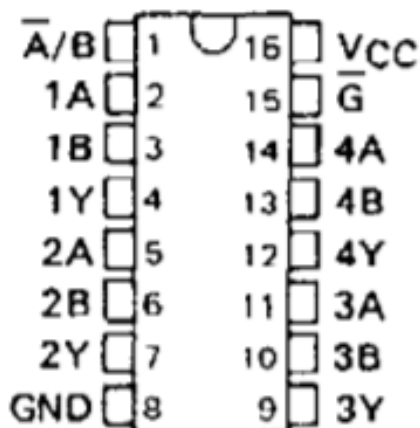
<http://www.ti.com/lit/ds/symlink/sn54s74.pdf>



Multiplexer (2/1 MUX)

- **74157** - Quad 2-Line to 1-Line Data Selectors/Multiplexers, 16 pinov:
 - pin 8: GND,
 - pin 16: Vcc,
 - pin 15: \bar{G} (STROBE)
 - pin 1: Tukaj vnesite enačbo.SEL (naslov A_0 je skupen za vse MUXe)

<http://www.ti.com/lit/ds/symlink/sn54s157.pdf>



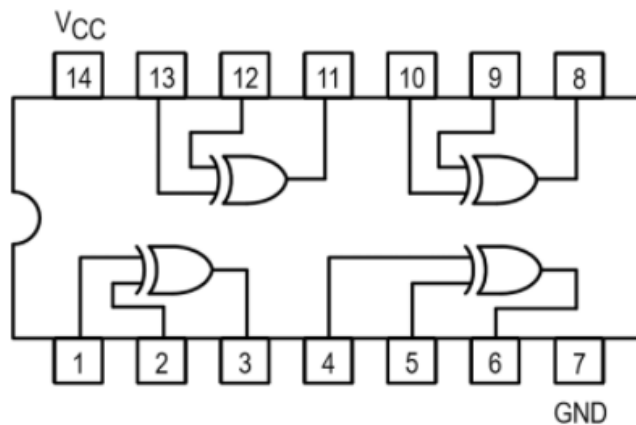
INPUTS				OUTPUT Y	
STROBE \bar{G}	SELECT $\bar{A/B}$	A	B	'157, 'LS157, 'S157	'LS158 'S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

Logična vrata

□ **7486** - Quad EXCLUSIVE-OR Gate (2-vhodna XOR vrata), 14 pinov:

- pin 7: GND,
- pin 14: Vcc

<http://www4.ujaen.es/~dlopez/descargas/Hoja%20caracteristicas%207486.pdf>



N1 – Register (Vpis, CPD)

- Definirajte sinhronski 2-bitni register $Y=(y_1, y_0)$. Krmilni vhod a določa:
 - $a=0$: Vpis: $Y(t+1)=X$, kjer je $X=(x_1, x_0)$
 - $a=1$: CPD - ciklični pomik desno: $y_1(t+1)=y_0(t)$, $y_0(t+1)=y_1(t)$

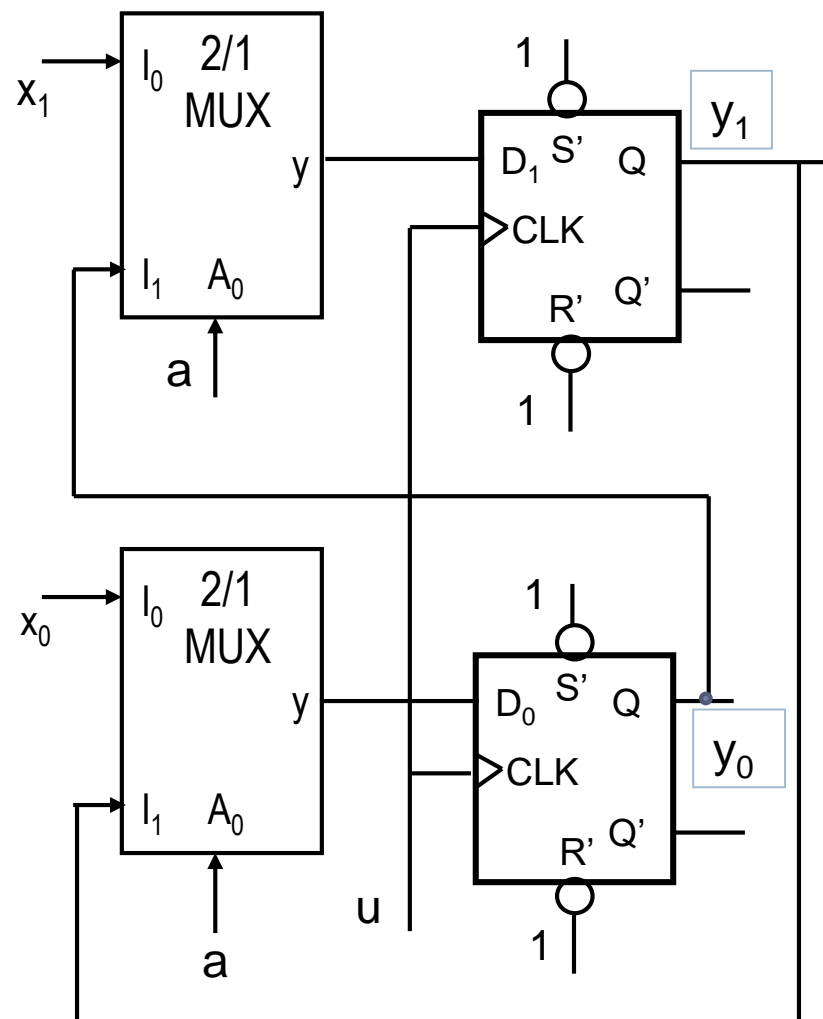
- Naloge:
 - Zapišite tabelo stanj delovanja registra.
 - Zapišite krmilni funkciji za D pomnilni celici z 2/1 MUXi.
 - Realizirajte register v logisimu in označite pine za realizacijo s TTL čipi .
 - Dodajte tipko za asinhronsko brisanje registra (Reset).

- Shemo vezja shranite kot sliko in oddajte na učilnici.

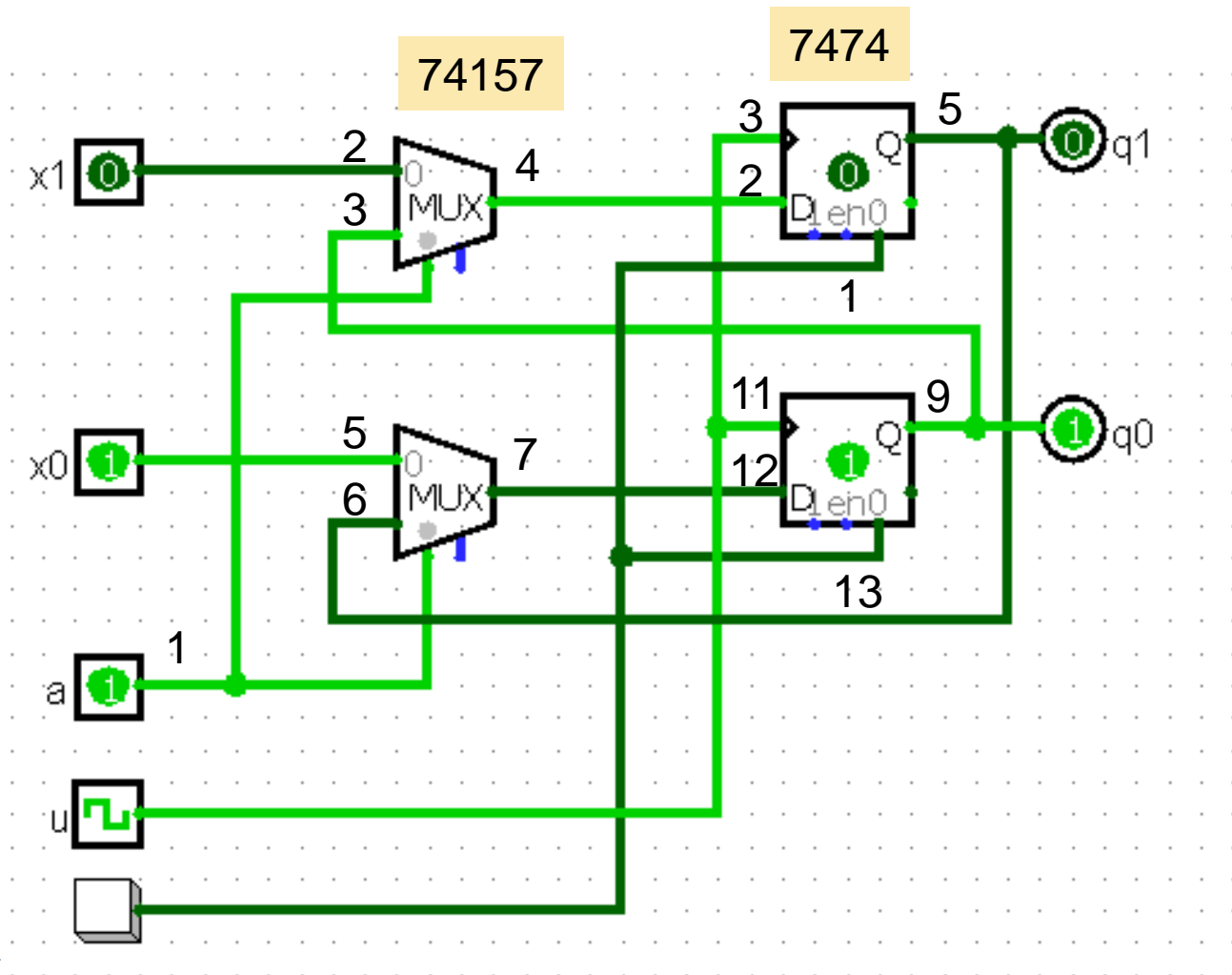
Tabela prehajanja stanj števca

Realizacija funkcij za D_1, D_0 z 2/1 MUXi

a	$Q_1(t)$	$Q_0(t)$	D_1 $Q_1(t+1)$	D_0 $Q_0(t+1)$	2/1 MUX
0	0	0	x_1	x_0	I_0
0	0	1	x_1	x_0	
0	1	0	x_1	x_0	
0	1	1	x_1	x_0	
1	0	0	0	0	I_1
1	0	1	1	0	
1	1	0	0	1	
1	1	1	1	1	



- Logična shema 2-bitnega registra z oznakami pinov.



N2: Sinhronski števec – INC/DEC

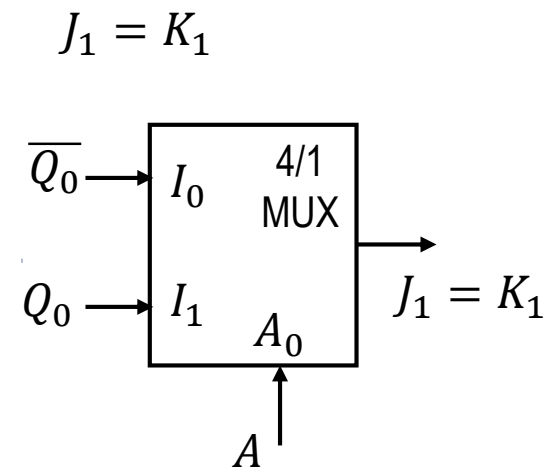
- Definirajte 2-bitni števec $Q=(Q_1, Q_0)$. Krmilni vhod A določa delovanje:
 - $A=0$: $M=4$, Dekrement, $k=1$
 - $A=1$: $M=4$, Inkrement, $k=1$

- Naloge:
 - Zapišite tabelo prehajanja stanj delovanja števca.
 - Zapišite krmilni funkciji za JK pomnilni celici z 2/1 MUXi.
 - Realizirajte števec v logisimu in označite pine za realizacijo s TTL čipi.
 - Dodajte vhod za asinhronsko brisanje števca (Reset).

- Shemo vezja shranite kot sliko.

- Tabela prehajanja stanj števca
- Zapis krmilnih funkcij za JK pomnilno celico, če povežemo vhod J=K
- Realizacija funkcij z I-naslovnimi MUXi (2/I MUX) za $J_1=K_1$ in $J_0=K_0$

A	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$	$J_1=K_1$	$J_0=K_0$
0	0	0	1	1	1	1
0	0	1	0	0	0	1
0	1	0	0	1	1	1
0	1	1	1	0	0	1
1	0	0	0	1	0	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	0	0	1	1



$$J_0 = K_0 = 1$$

- Logična shema z oznakami pinov za povezovanje čipov 74157 in 7473

