



# ORGANIZACIJA RAČUNALNIKOV

## Povzetki predavanj

### 2. Osnove digitalnih vezij

## Prejšnje poglavje – Uvod v OR in digitalna vezja:

- Splošni pojmi
- Zgradba in organizacija računalnika
  - **Funkcijske enote** kot osnovni gradniki rač.
  - **Nivojska zgradba** rač.
- Računalnik na nivoju digitalne logike
  - Osnove digitalnih vezij (**stikalo, tranzistor**)
  - Realizacija **logičnih vrat** v digitalnih vezjih (NOT,NAND,NOR)
  - Digitalna vezja visoke stopnje integracije – **VLSI** (razvoj, postopek izdelave,potencialne težave)

## Delo, dodatna gradiva :

### ■ „No sheeping !!!“, „Flipped learning“:

- <https://www.youtube.com/watch?v=QOy7IB-P3nk>

### ■ Valvano: Embedded Systems - Shape The World

- [EdX course](#) :

- <https://www.edx.org/course/embedded-systems-shape-world-utaustinx-ut-6-03x>

- [Ebook](#):

- <http://users.ece.utexas.edu/~valvano/Volume1/E-Book/>

- Chapter 3: [Electronics](#)
- Chapter 4: [Digital Logic](#)
- Chapter 5: [Introduction to C](#)
- zanimiva tudi ostala poglavja



#### Table of Contents

- Chapter 1: [Introduction](#)
- Chapter 2: [Fundamental Concepts](#)
- Chapter 3: [Electronics](#)
- Chapter 4: [Digital Logic](#)
- Chapter 5: [Introduction to C](#)
- Chapter 6: [Microcontroller Ports](#)
- Chapter 7: [Design and Development Process](#)
- Chapter 8: [Switches and LEDs](#)
- Chapter 9: [Arrays and Functional Debugging](#)
- Chapter 10: [Finite State Machines](#)
- Chapter 11: [UART - The Serial Interface](#)
- Chapter 12: [Interrupts](#)
- Chapter 13: [DAC and Sound](#)
- Chapter 14: [ADC and Data Acquisition](#)
- Chapter 15: [Systems Approach to Game Design](#)
- Appendix: [Reference Material](#)
- Video links: [Web links to videos \(All chapters 1](#)
- Closed caption files: [Closed caption srt files](#)
- Index: [Index of terms and concepts](#)

The screenshot shows the EdX website interface. At the top left is the EdX logo. Navigation links include 'Courses', 'How It Works', 'Schools & Partners', and 'About'. A search bar contains the text 'I want to learn about...'. There are 'Sign In' and 'Register' buttons. The main content area features a video player with a play button and the title 'Embedded Systems - Shape The World'. Below the video, it says 'Build real-world embedded solutions using a bottom-up approach from simple to complex in this hands-on, lab-based course.' The University of Texas logo is visible at the bottom left. A green button says 'Enroll Now'. Below that, there is a checkbox with the text 'I would like to receive email from University of Texas at Austin and learn about its other programs.' and the start date 'Starts on January 20, 2016'.

## Namen in cilji 2. poglavja:

### Razumevanje :

- osnovnih pojmov: el. napetost, tok, upornost
- enostavnih tokokrogov: LED dioda, upori, stikalo, tranzistorji
  
- osnovnih lastnosti digitalnih vezij
- delovanja (načrtovanja) digitalnih vezij
  
- razvojnih problemov in tehnoloških omejitev
- vzrokov za pojav paralelizma

## 2. Osnove digitalnih vezij

### 2.1 Prehod iz logičnega modela v digitalna vezja

- Računalnik je sestavljen iz gradnikov:

- „logična vezja“

„LOGIČNI MODEL“

- „preklopna“,

- “digitalna vezja“

„REALIZACIJA“

Logika  
Log. vrata  
logični  
nivoji: 1,0

Digitalna  
vezja:  
napetostni  
nivoji:  
≈0V, ≈5V

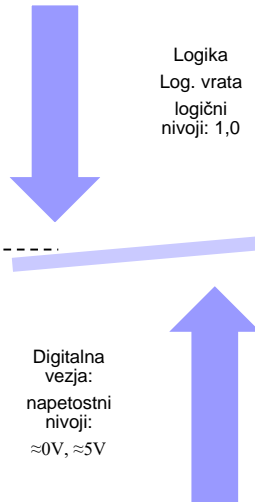
## 2.1 Prehod iz logičnega modela v digitalna vezja

- Von Neumannov (VN) model:
  - Matematični, logični model rač. (do nivoja log. vrat):
    - CPE, pomnilnik, V/I, povezave
    - ne predpisuje realizacije, tehnologije



- Realizacija VN -> „digitalna vezja“:

- posebni čipi VLSI
  - (CPE, Pomn., V/I, grafika, zvok, ...)
- „mikroprocesorsko lepilo“ – standardna digit. vezja
  - povezovanje VLSI vezij



# Izbrane novosti

## A Quantum Speedup for the Fast Fourier Transform

Quantum computers will turbocharge the algorithm that underpins much of modern tech

## GOODBYE, MOTHERBOARD. HELLO, SILICON-INTERCONNECT FABRIC

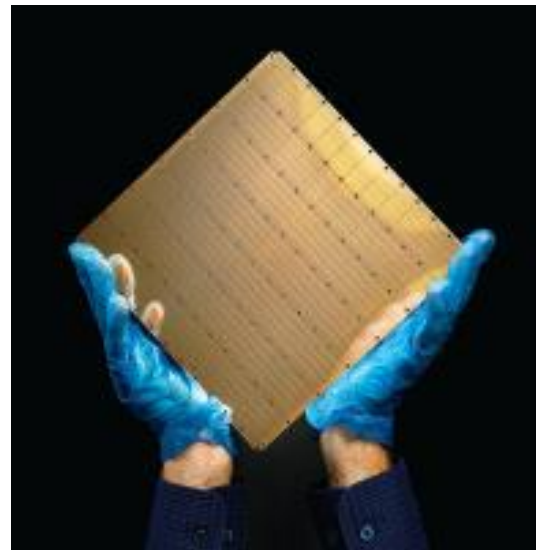
Bare chiplets on a silicon-interconnect fabric will make computers smaller and more powerful

## Deep Learning at the Speed of Light

Lightmatter bets that optical computing can solve AI's efficiency problem

## Supersize AI

Cerebras's silicon-wafer-size chip boasts 2.6 trillion transistors



## 2.2 Lastnosti digitalnih vezij

- Danes:
  - digitalna vezja so skoraj vsa elektronska (?)
- Prihodnost ?:
  - optika, biočipi, kvantni rač., ...
  - najprej kot namenska vezja

### Elektronska realizacija digitalnih vezij:

- pomanjkljivosti (težave)
  - odstopanje od log. ideala 0,1 -> napetostni nivoji
  - težje načrtovanje (potrebno znanje, izkušnje)
- prednosti
  - visoka stopnja standardizacije (TTL, CMOS, ...)

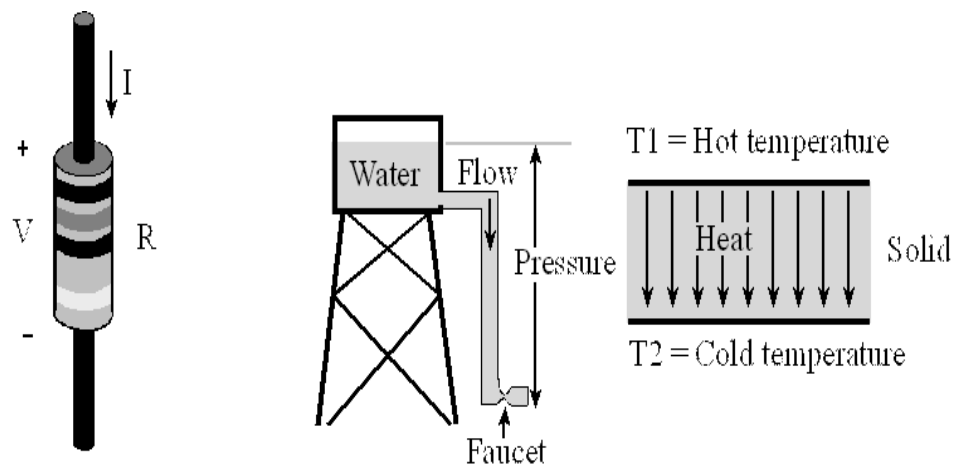


## 2.2.1 Osnove elektronskih vezij

### 2.2.1.1 Osnovni pojmi

#### □ Električni tok - $I$ [A]:

- DEF: količina el. naboja (običajni nosilci so elektroni), ki preteče v nekem času
  - 1 Amper :=  $1A = 6.241 \cdot 10^{18}$  elektronov/sek = 1 Coulomb/sek
  - smer: definirana obratno od smeri gibanja elektronov (tok pozitivnega naboja)

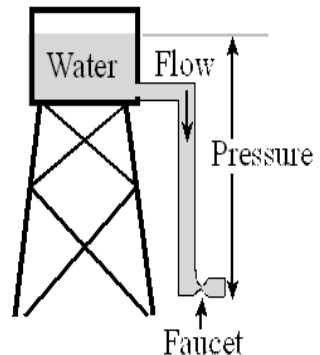
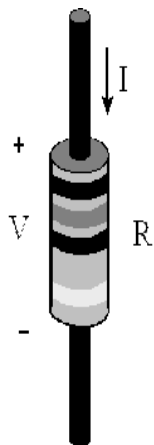


## 2.2.1 Osnove elektronskih vezij

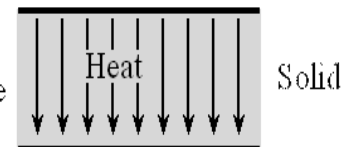
### 2.2.1.1 Osnovni pojmi

#### □ Električna napetost - $U$ [V]:

- DEF: razlika električnih potencialov v dveh točkah
- »povzroči el. tok v sklenjenem tokokrogu«
- označena v dveh točkah s + (višji potencial) in – (nižji potencial)



$T1 = \text{Hot temperature}$



$T2 = \text{Cold temperature}$

## 2.2.1 Osnove elektronskih vezij

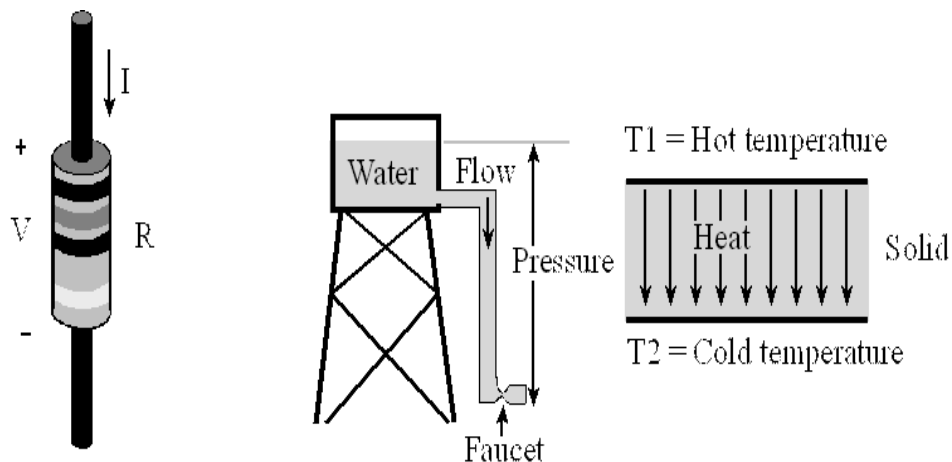
### 2.2.1.1 Osnovni pojmi

#### □ Električna upornost - $R$ [ $\Omega$ ]:

- „ovira pretok naboja“
- 2 tipa prevodnikov :
  - žica:
  - upor (upornik)

zanemarljiva upornost ( $\approx 0\Omega$ )

deklarirana upornost v  $\Omega$

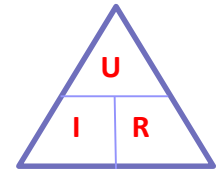


## 2.2.1.1 Osnovni pojmi

### ■ Ohmov zakon:

- izraža relacijo med napetostjo, tokom in upornostjo

- $U, I$  sorazmerna:  $U = I R$ ,  $I = U/R$ ,  $R = U/I$



### ■ Električna moč - $P = U I$ [W]

- $P = U I = U^2/R = I^2 R$

### ■ Električna energija - $E = P t$ [J = W s]

- $E = P t = U I t$

### ■ Kapaciteta baterije - $Q = I t$ [Ah]

- el. naboj, ki ga baterija zagotovi ob določeni napetosti

## 2.2.1.2 Osnovna pravila

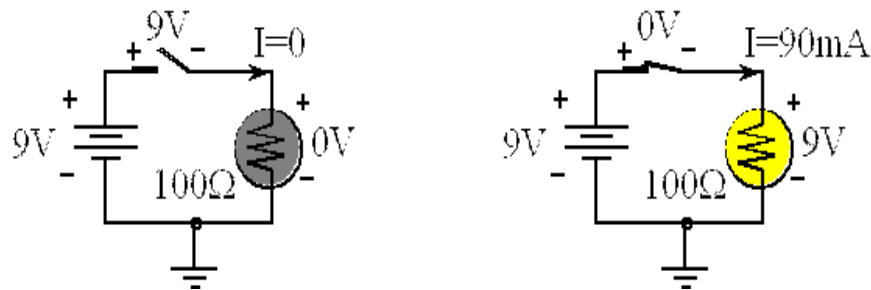
<http://www.falstad.com/circuit/e-resistors.html>

### 1. Električni tok teče samo v sklenjenem tokokrogu (zanki)

### 2. Kirchoffov napetostni zakon (KVL - Kirchoff's Voltage Law)

- **DEF:** Vsota vse padcev napetosti v zaključeni zanki je enaka 0

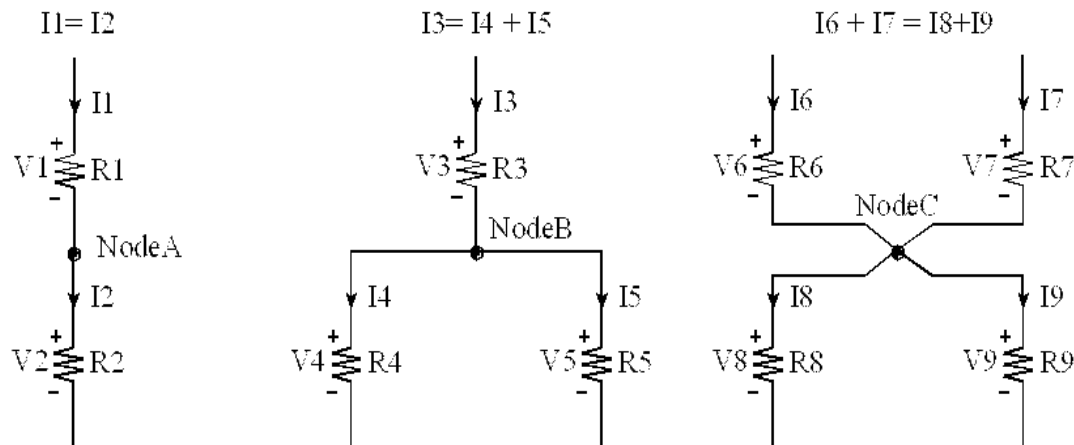
- Primer:



## 2.2.1.2 Osnovna pravila

### 3. Kirchoffov tokovni zakon (KCL - Kirchoff's Current Law)

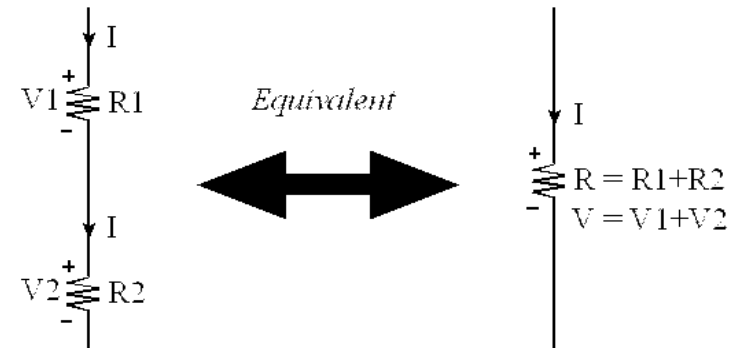
- DEF: Vsota tokov v vozlišče je enaka vsoti tokov iz vozlišča



## 2.2.1.2 Osnovna pravila

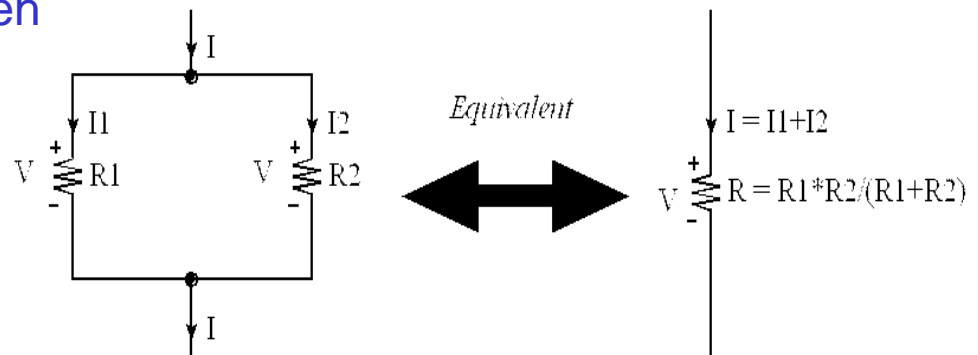
### 4. Zaporedna vezava upornikov

- enak tok skozi upore
- upornosti in padci napetosti se seštevajo



### 5. Vzporedna vezava upornikov

- enak padec napetosti na vseh
- različni tokovi skozi upore
- $1/R = 1/R_1 + 1/R_2 + \dots$



## 2.2.2 Družine digitalnih vezij

Najbolj znane so tri skupine (družine):

- TTL vezja (Transistor Transistor Logic)
- CMOS vezja (Complementary Metal Oxide Semiconductor)
- ECL vezja (Emitter Coupled Logic)



## 2.2.2.1 Družina TTL digitalnih vezij

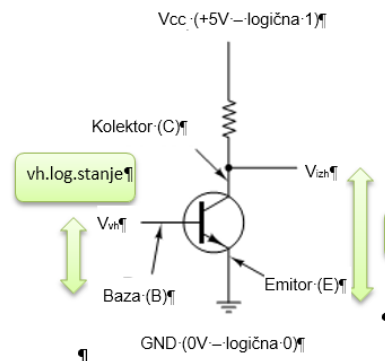


### Uporaba

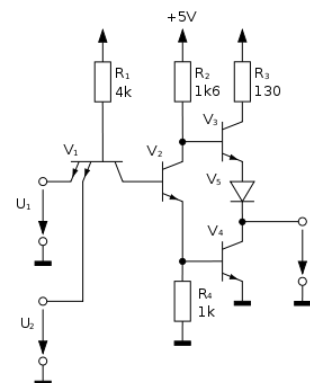
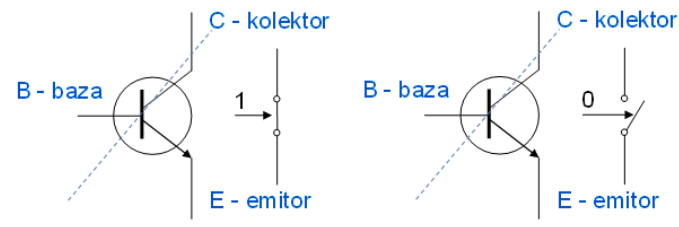
- enostavni sistemi
- „lepilo“

### Razvoj

- 1961 .. Patent (James Buie)
- 1963 .. Komercialno IC vezje
- 1964 .. 54xxx, 74xxx (Texas Instr.)
- 1985 .. 74A(L)Sxxx
- 2017 .. še vedno na voljo



vh.log.stanje baza-emitor	$V_{vh}$	izh.log.stanje kolektor-emitor	$V_{izh}$
1	5V(3.3V)	0	0V
0	0V	1	5V(3.3V)



## 2.2.2.1 Družina TTL digitalnih vezij - poddružine

Oznaka	Opis	typ $t_p$ [ns]	moč[mW]
74xxx	najstarejša, se ne uporablja več	10	10
74Lxxx	(Low Power): manjša poraba, a počasnejši	33	1
74Hxxx	(High Speed): večja hitrost, večja poraba	6	22
74Sxxx	(Schottky) S-dioda preprečuje zasičenje - 3x hitr. od 74xxx, 2x večja poraba energije	3	19
74LSxxx	(Low Power + Schottky): standard, nadomesti L,H in S serijo. Najbolj razširjen.	9.5	2
74Fxxx	(Fast) - 1985	3	5.4
74ASxxx	(Advanced Schottky)	1.7	8
74ALSxxx	(Advanced Low Power + Schottky)	4	1.2

## 2.2.2.1 Družina TTL digitalnih vezij



### Prednosti:

- ob pojavu je predstavljala napredek
- enostavno načrtovanje (mešanje, povezave ena->več)
- manjša občutljivost na statična praznjenja (kot CMOS)

### Slabosti:

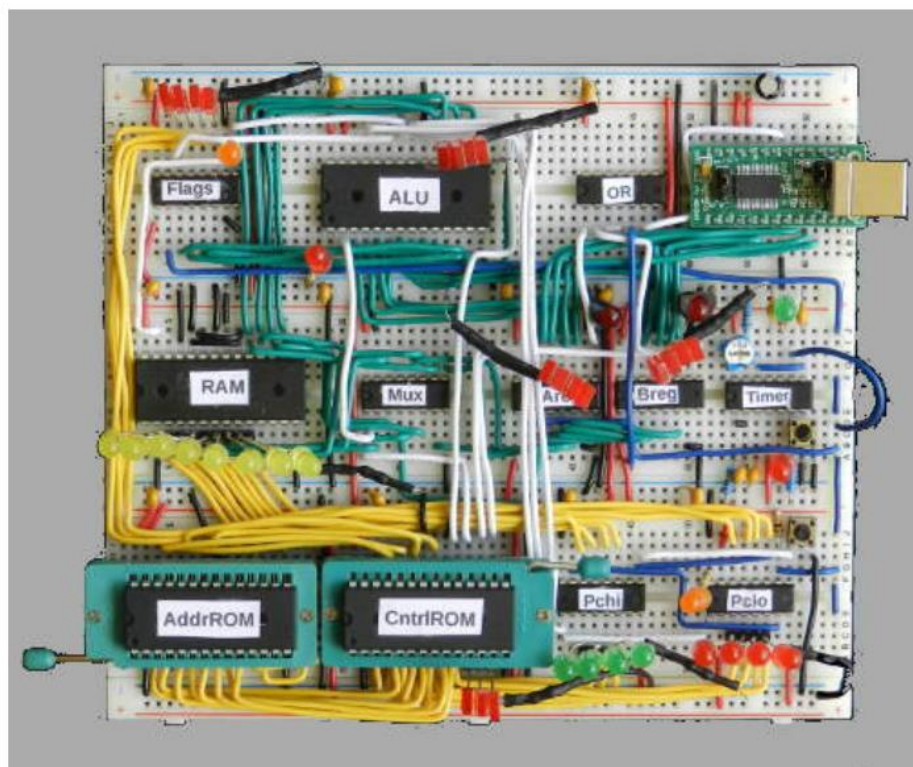
- statična poraba
- večja poraba (kot CMOS)
- asimetrija upornosti v stanjih – ~~vodila~~

## 2.2.2.1 Družina TTL digitalnih vezij

### Warren's Crazy Small CPU

(c) 2017 Warren Toomey, GPL3

Zanimivo:

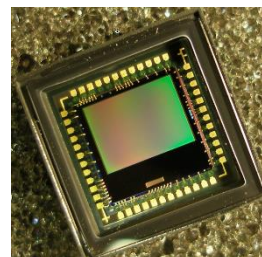


<https://minnie.tuhs.org/Programs/CrazySmallCPU/index.html>

## 2.2.2.2 Družina CMOS digitalnih vezij

### Uporaba

- mikroproc., mikrokrmilniki, SRAM
- digitalna vezja
- slikovna tipala



### Razvoj

- do 1980 .. počasnejša od TTL
- 1976-> .. prevladuje v razmerju proc.moč/poraba
- 1990+ -> .. najpogostejša v VLSI vezjih

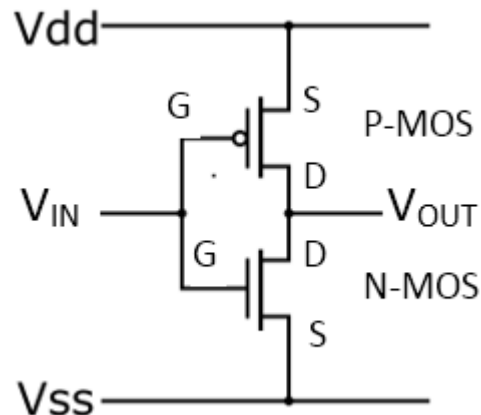
## 2.2.2.2 Družina CMOS digitalnih vezij - poddružine

Oznaka	Opis	typ $t_p$ [ns]	moč[mW]
74Cxxx	Enak razpored kot TTL 74xxx, nima TTL nivojev!	50	0.8
74HCxxx	(High-speed CMOS) hitrost enaka 74LS (TTL), 5xhitrejša od 74Cxxx	9	0.9
74HCTxxx	(združljiva s TTL vezji)	9	0.9
74ACxxx	(Advanced ...) hitrost enaka 74AS in 74F (TTL)	3	0.8
74ACTxxx	(združljiva s TTL)	3	0.8
74AUCxxx	(Advanced Ultra Low Voltage CMOS)	2	
ASIC – VLSI	90nm tehnologija, realizacija tranz. na čipu	0.12	

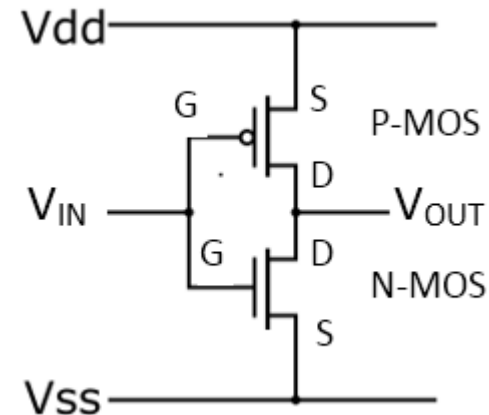
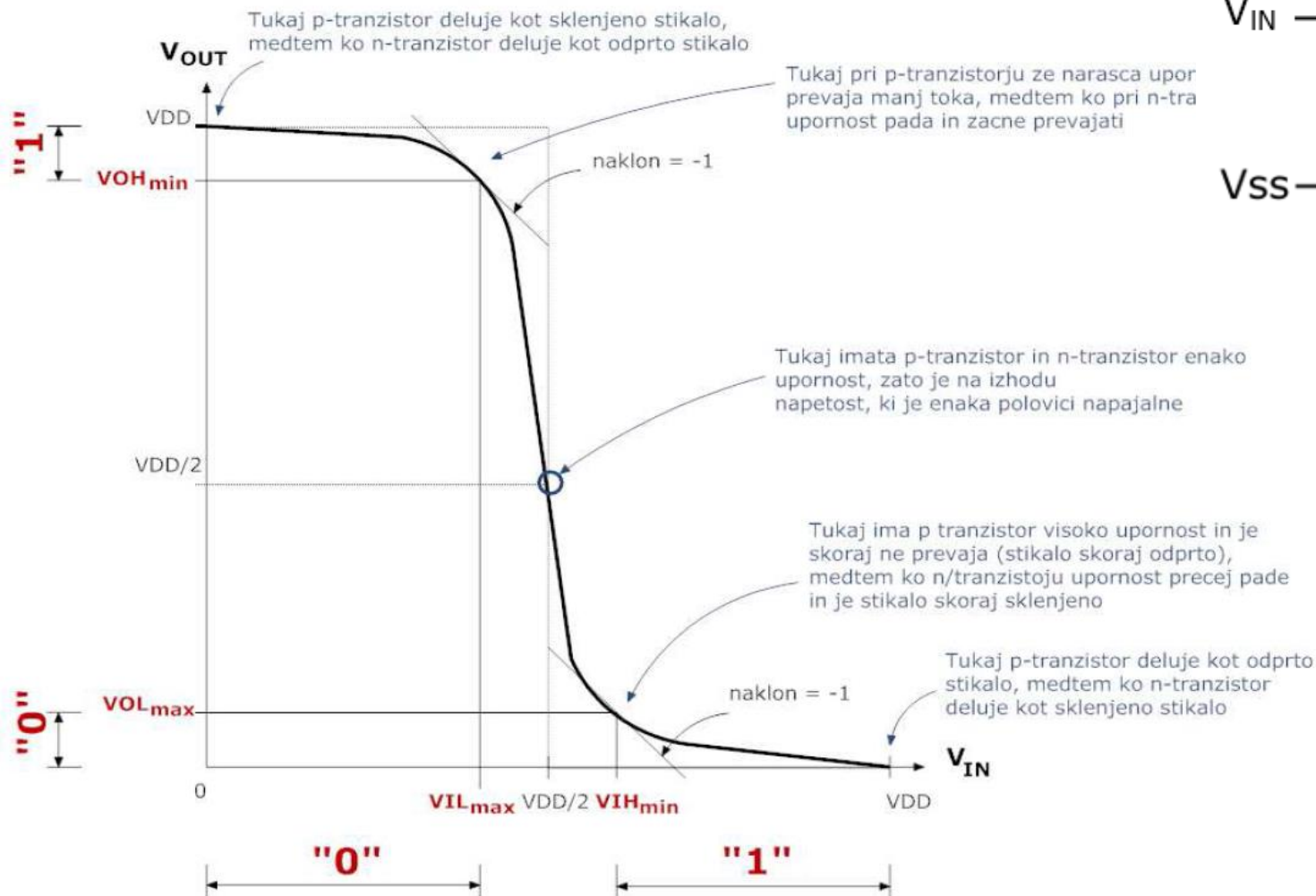
## 2.2.2.2 Družina CMOS digitalnih vezij

Realizacija – negator kot osnovni element

- komplementarni par tranzistorjev (P-MOS in N-MOS):
  - $V_{IN} = H \rightarrow$  P-MOS..OFF      N-MOS..ON       $V_{OUT} = L (V_{SS})$
  - $V_{IN} = L \rightarrow$  P-MOS..ON      N-MOS..OFF       $V_{OUT} = H (V_{DD})$

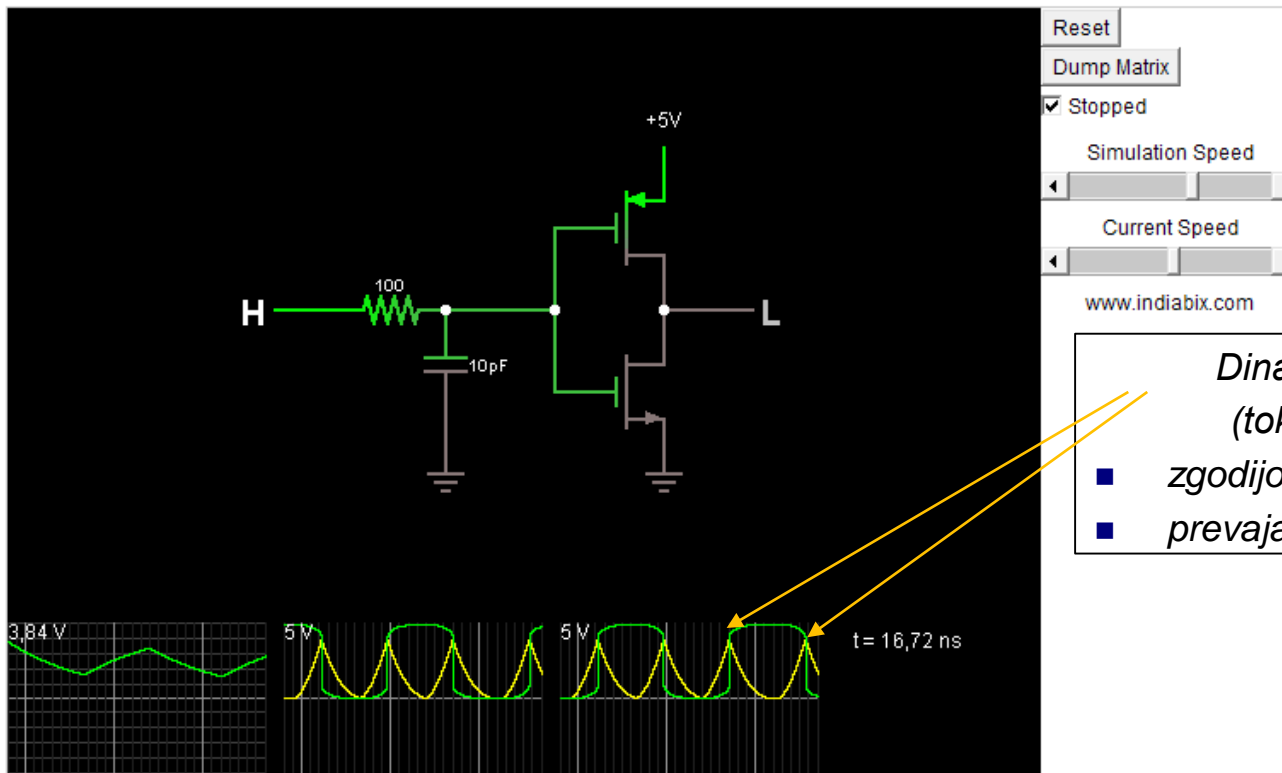
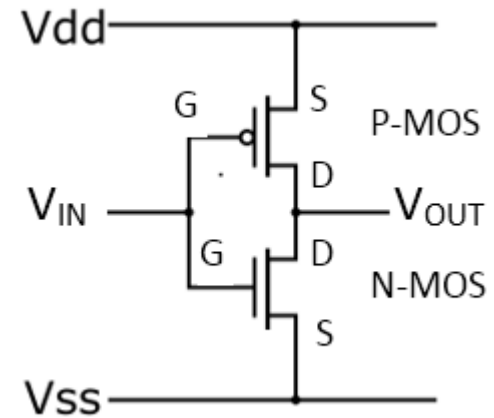


## 2.2.2.2 Družina CMOS digitalnih vezij





## 2.2.2.2 Družina CMOS digitalnih vezij



*Dinamična poraba  
(tokovne špice) :*

- zgodijo se ob preklopu
- prevajata oba tranzistorja

### Circuit Description:

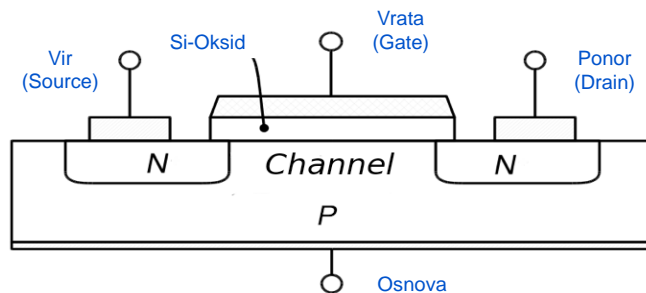
This is an inverter with a filter on the input to cause it to change more slowly. It shows that there is a spike in current across the inverter when the input is in transition, causing power consumption whenever the gate changes state.

<http://www.falstad.com/circuit/e-cmosinverterslow.html>

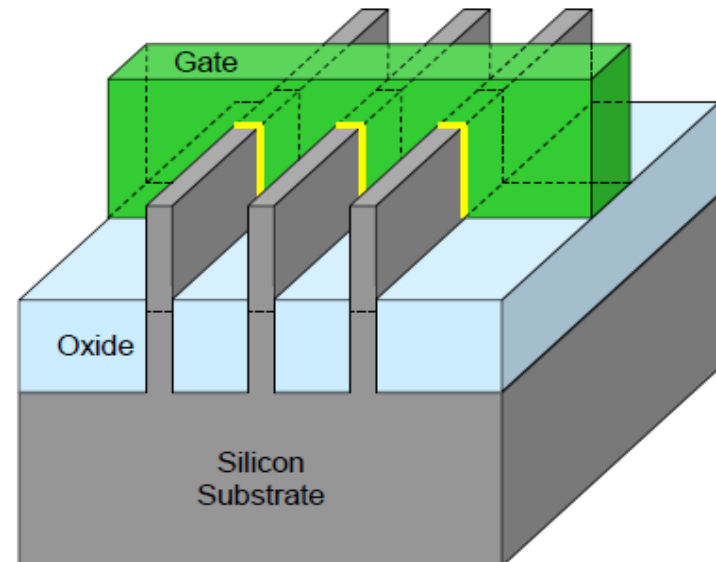
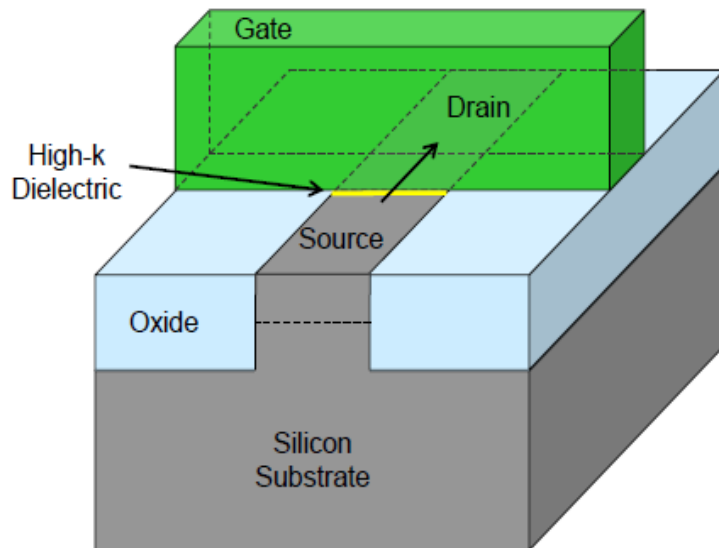
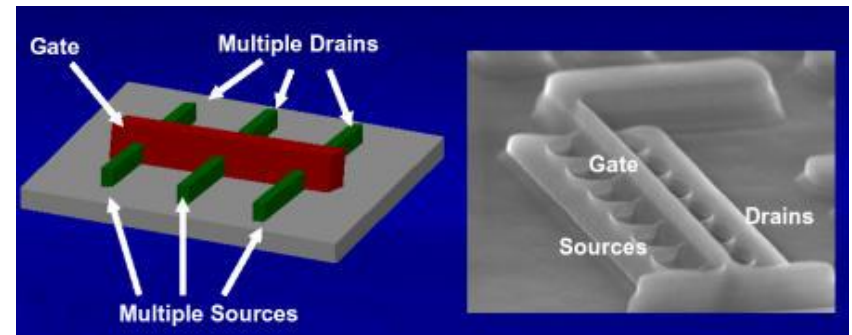
## 2.2.2.2 Družina CMOS digitalnih vezij

Realizacije CMOS tranzistorja :

### 2D - Planar

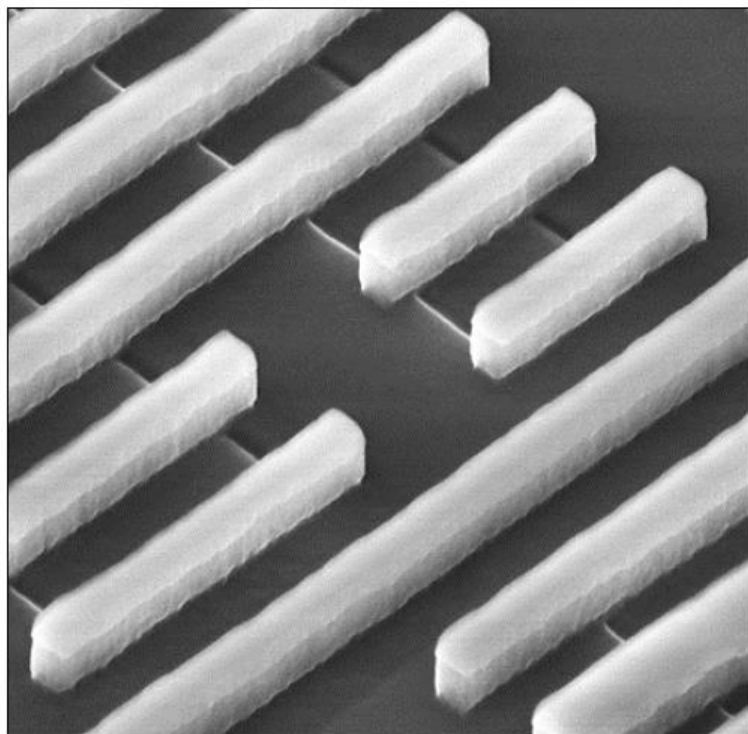


### 3D - TriGate

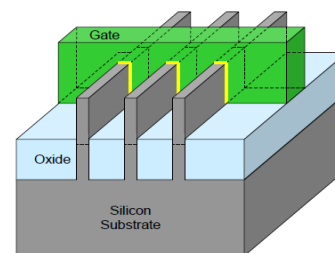
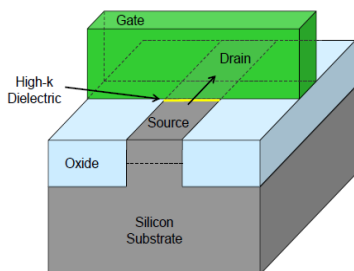
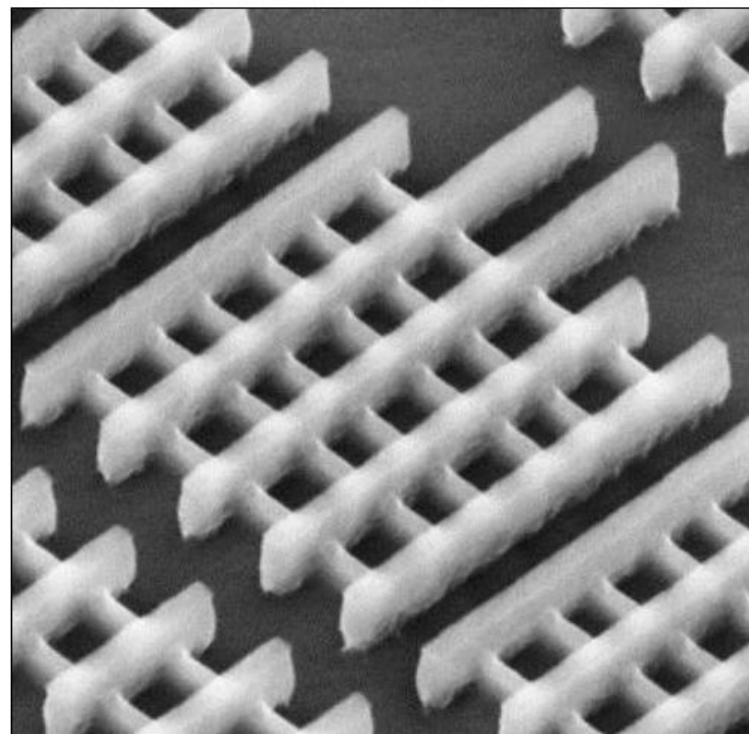


# Realizacije CMOS tranzistoria :

## 32 nm Planar Transistors

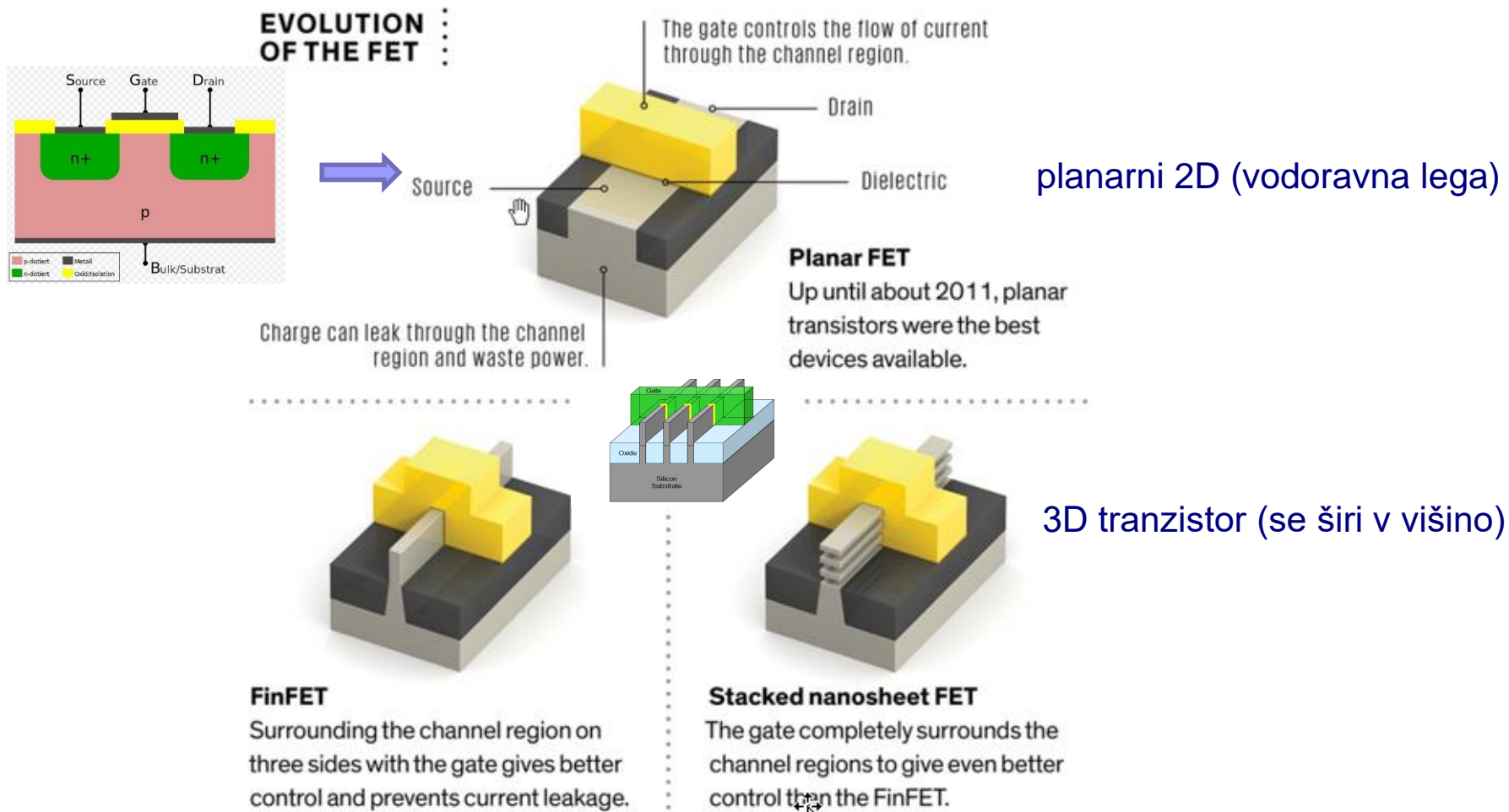


## 22 nm Tri-Gate Transistors



## Razvoj tranzistorjev v najsodobnejših vezjih:

- prehod iz vodoravne (2D) v navpično obliko (3D) -> manjša površina, večja gostota !!!



## 2.2.2.2 Družina CMOS digitalnih vezij

Prednosti:

- majhna statična poraba (red velikosti nA)
- odpornost na šum
- omogoča VLSI

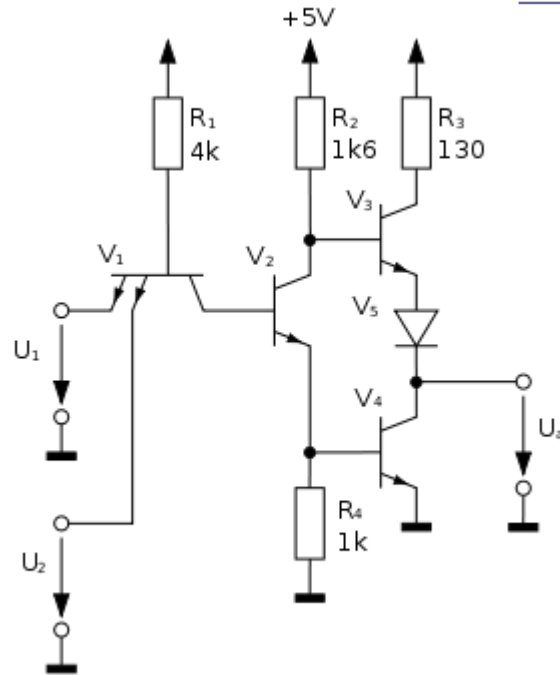
Slabosti:

- dinamična poraba (preklop-tokovna špica, frekvenca)
- statična poraba (v VLSI – št. tranzistorjev)

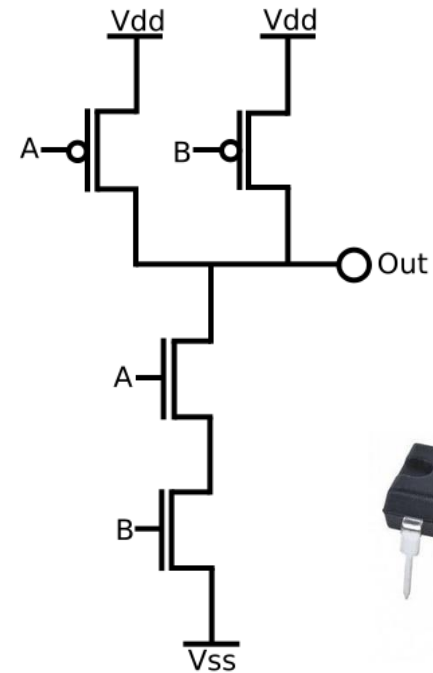
## 2.2.2.3 Tipična TTL in CMOS NAND vrata

<http://www.falstad.com/circuit/e-ttlNand.html>

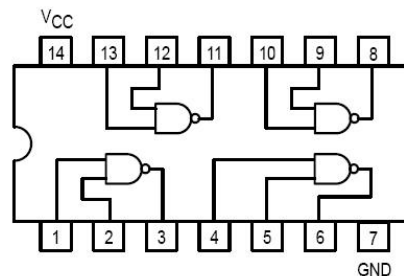
<http://www.falstad.com/circuit/e-cmosnand.html>



TTL



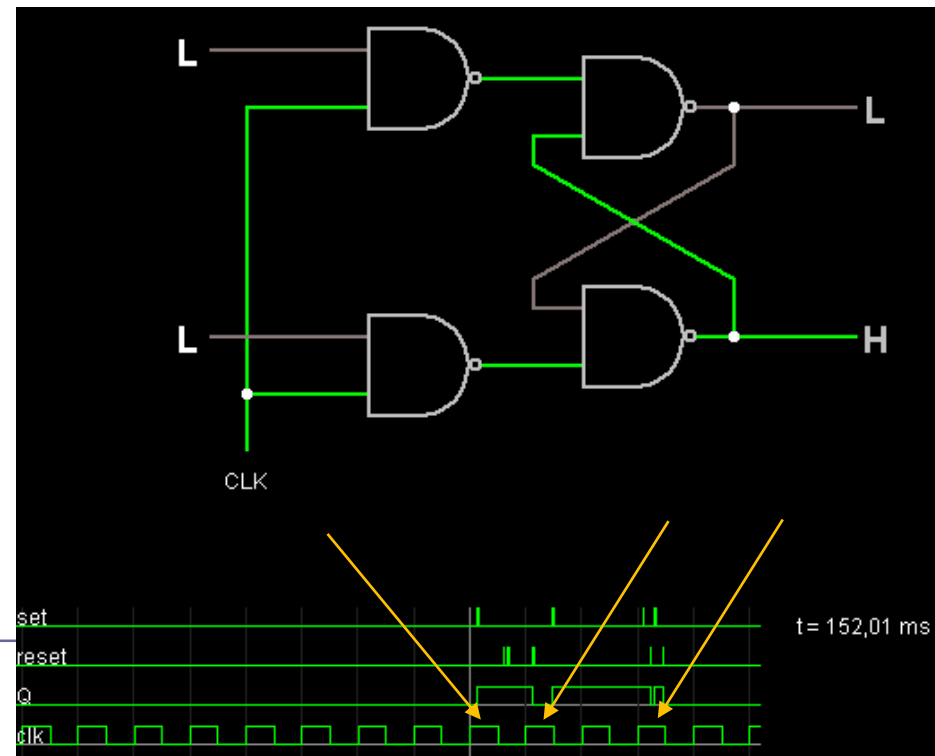
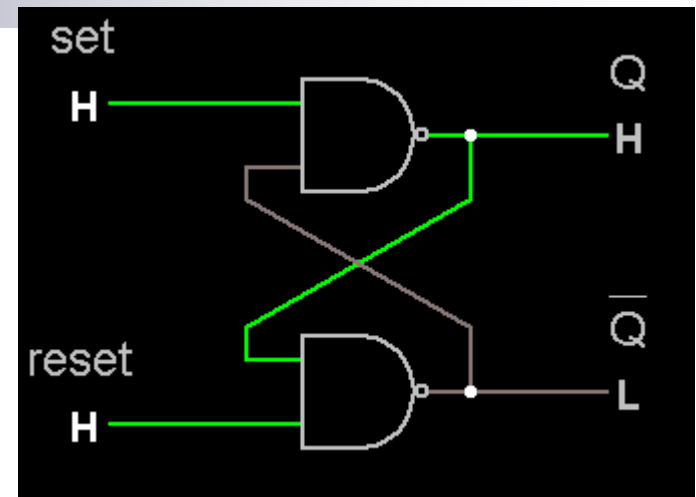
CMOS



A1	B1	X1
0	0	1
0	1	1
1	0	1
1	1	0

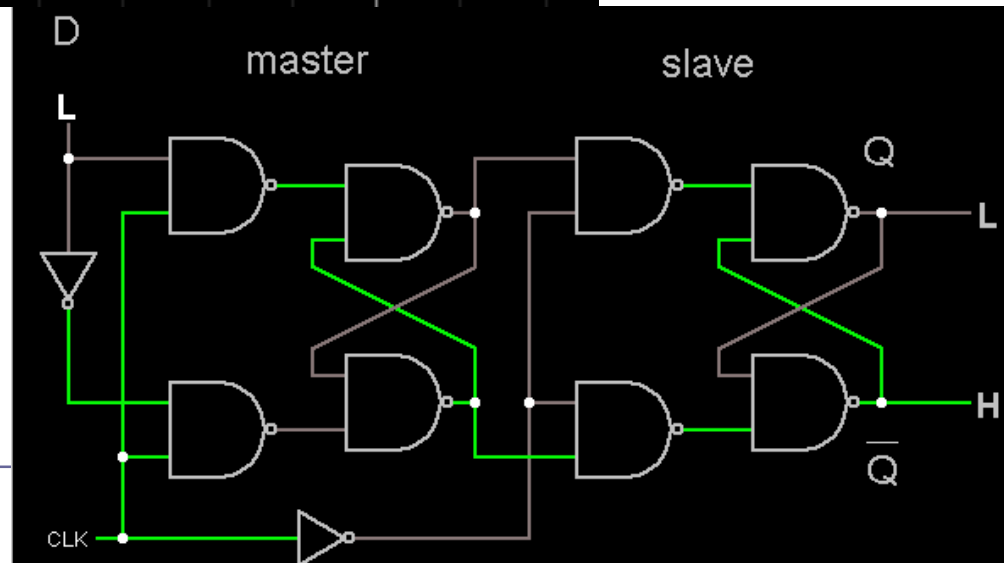
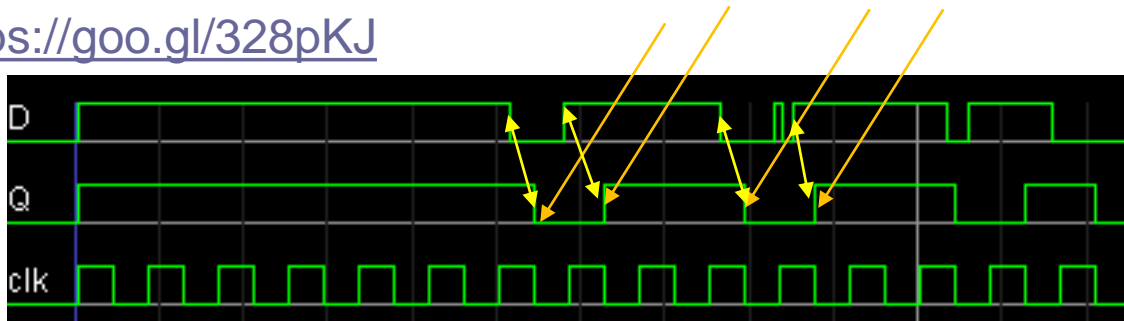
## 2.2.2.4 Pomnilne celice

- RS zapah („bistabil“):
  - <https://goo.gl/8DBez8>
- RS zapah in urin signal (nivo):
  - <https://goo.gl/9D36nW>



## 2.2.2.4 Pomnilne celice

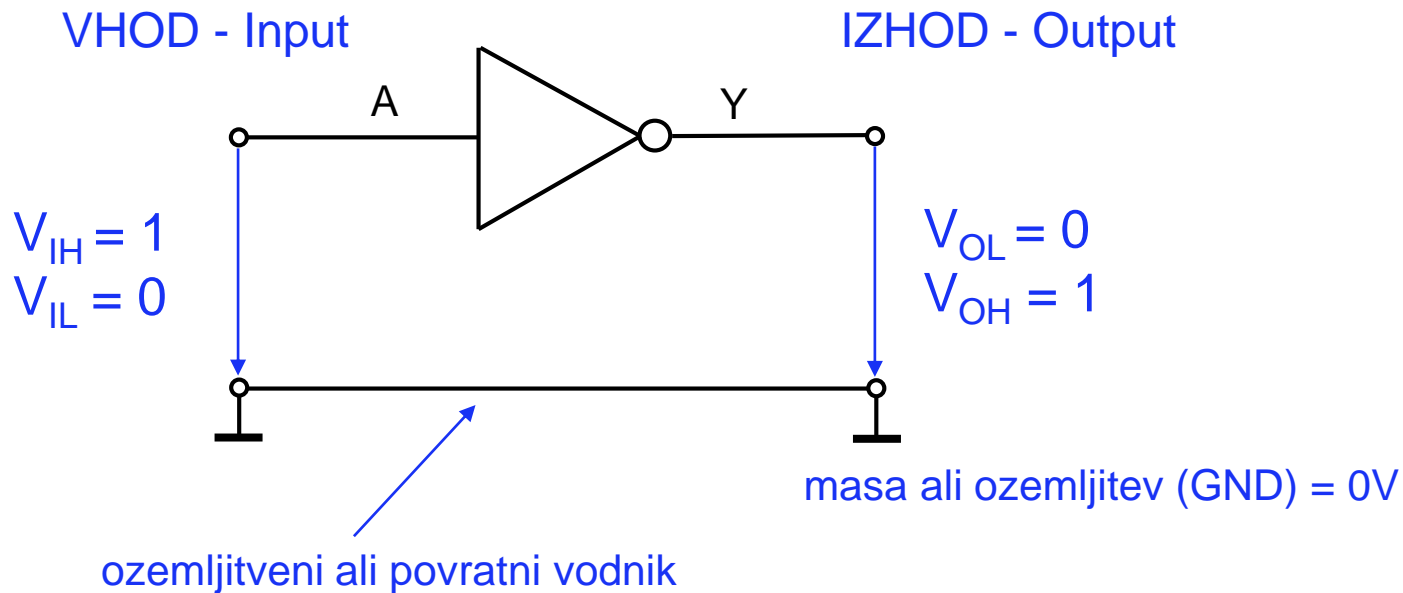
- Sinhronski D flip-flop (statična pomnilna celica) :
  - 2 RS zapaha s protifaznim urinim signalom
  - primer spodaj reagira ob negativni fronti
  - <https://goo.gl/328pKJ>



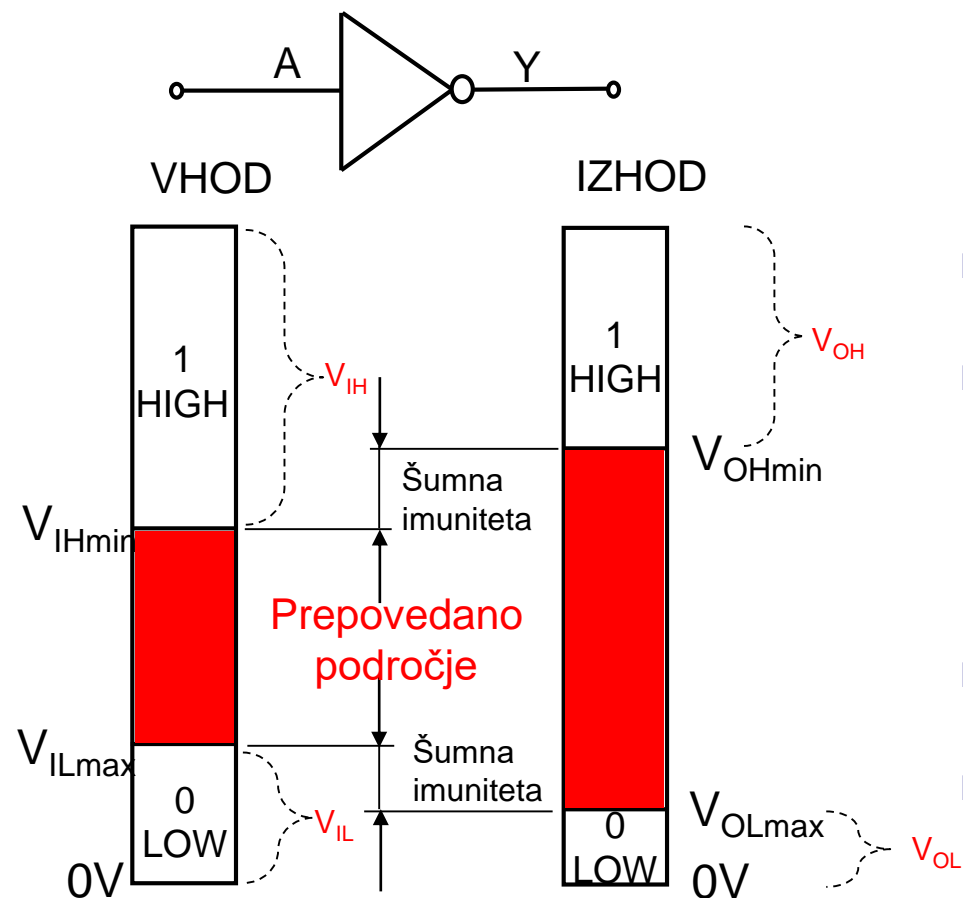


## 2.2.3 Napetostni nivoji za visok in nizek logični nivo

- Stanji 0 in 1 sta v digitalnih elektronskih vezjih predstavljeni z velikostjo napetosti na vhodu v vezje oziroma na izhodu iz vezja proti masi (GND = 0V)

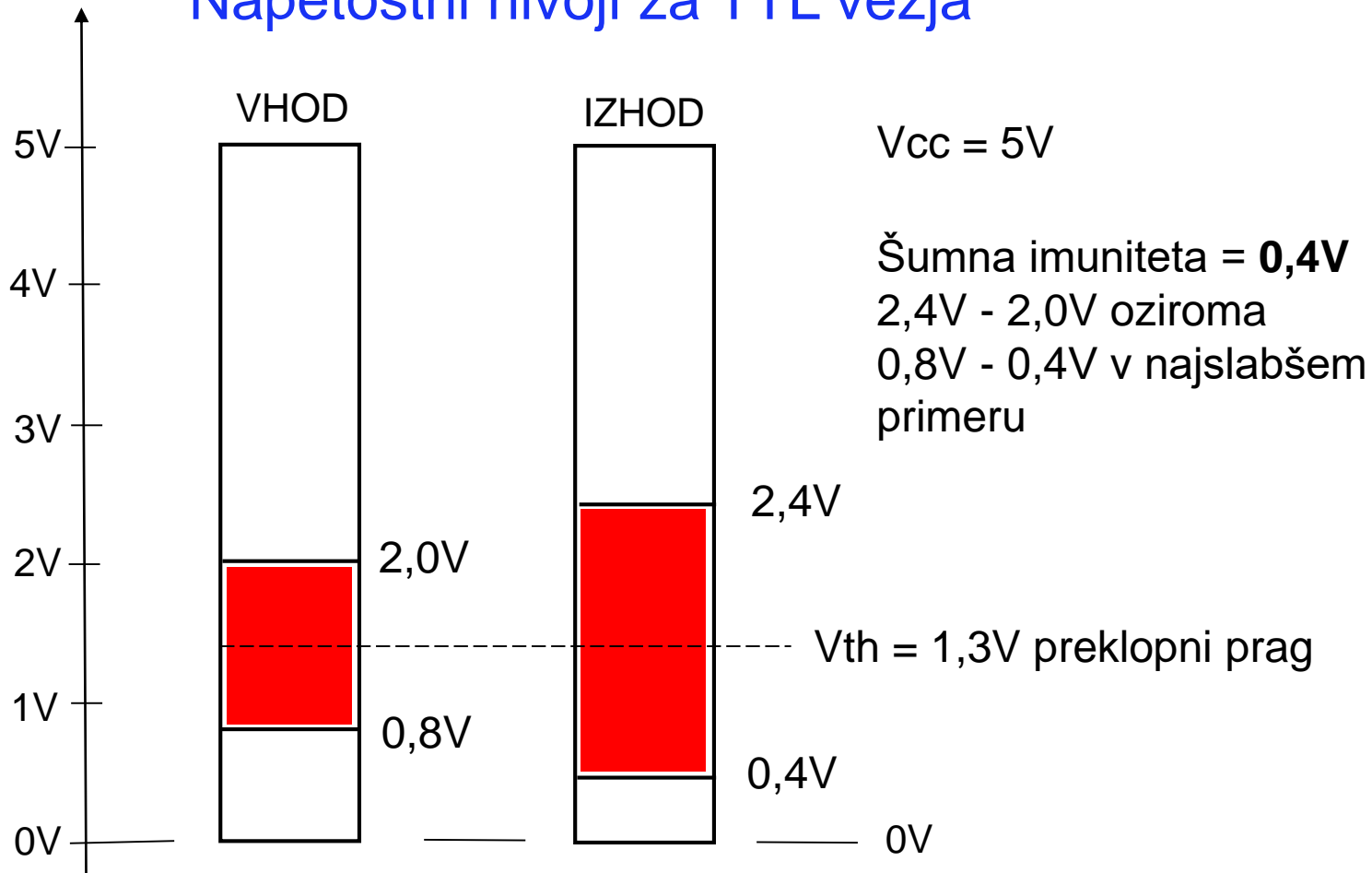


## 2.2.4 Napetostni nivoji za visok in nizek logični nivo

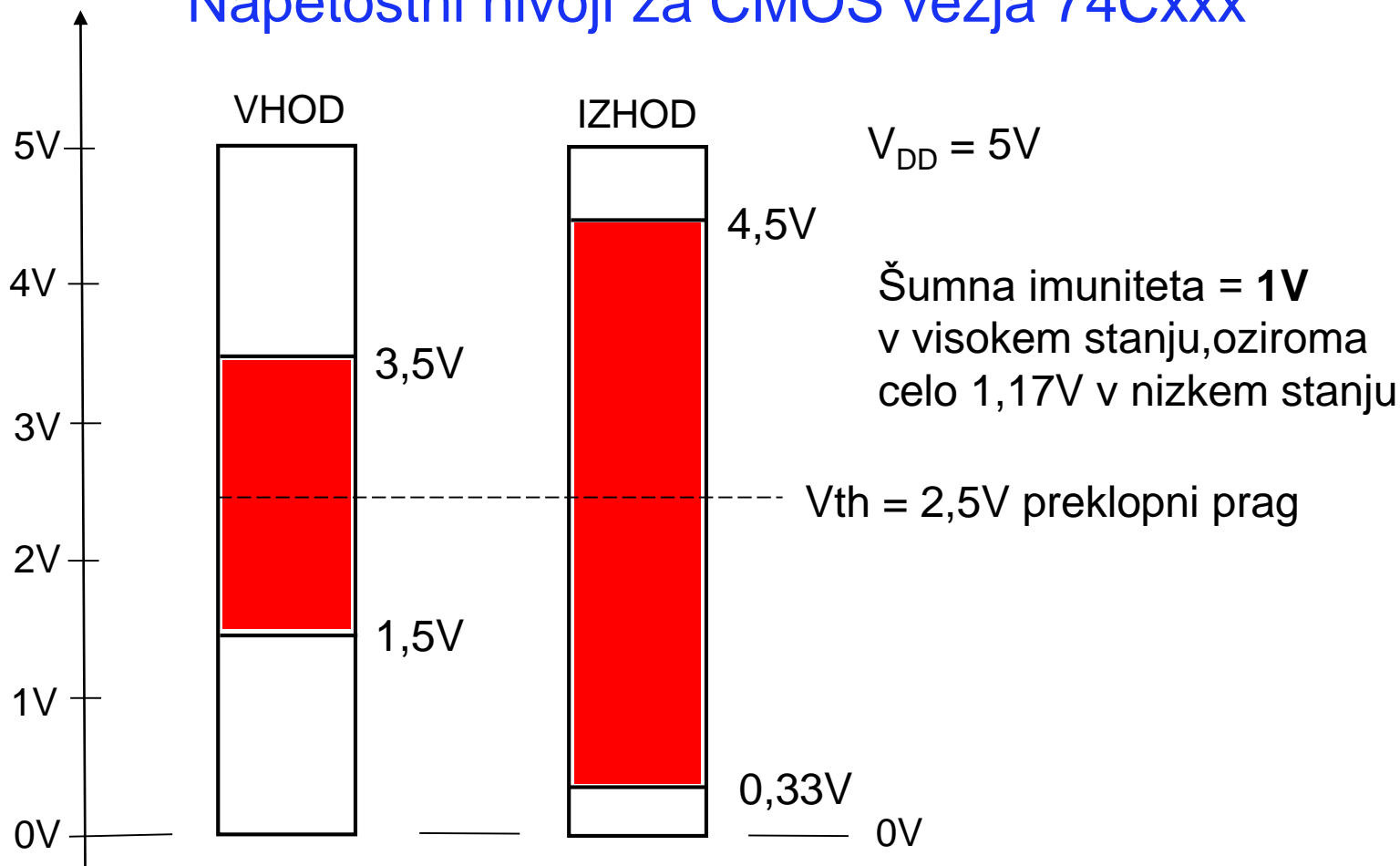


- $V_{IH}$  (V Input High): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 1
- $V_{IL}$  (V Input Low): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 0
- $V_{OH}$  (V Output High): Napetost med izhodom vezja maso, če je na vhodu stanje logična 1
- $V_{OL}$  (V Output Low): Napetost med izhodom vezja in maso, če je na vhodu stanje logična 0

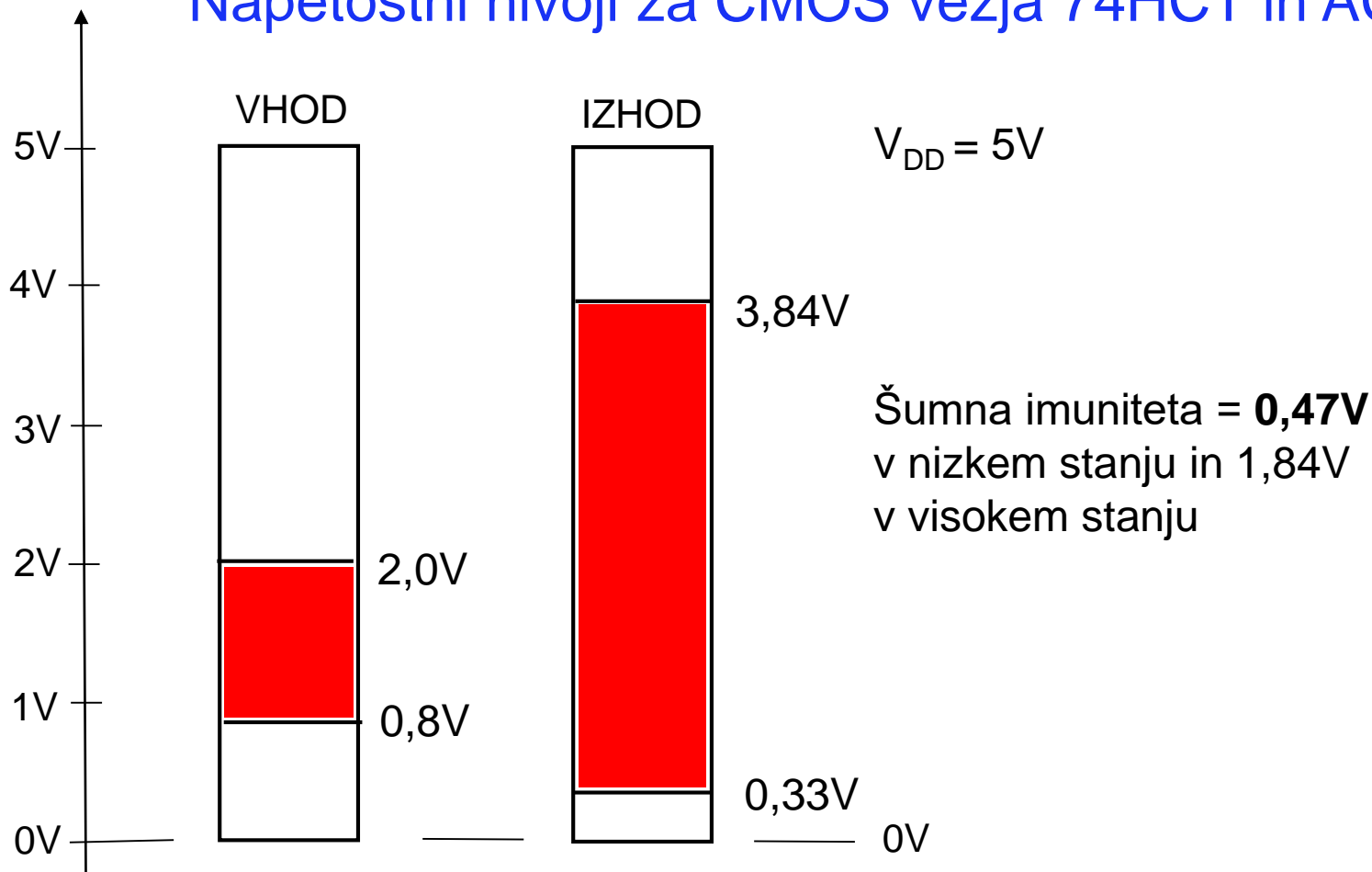
## Napetostni nivoji za TTL vezja



## Napetostni nivoji za CMOS vezja 74Cxxx



## Napetostni nivoji za CMOS vezja 74HCT in ACT



## 2.2.4 Napajalne napetosti

- TTL:  $V_{CC}=+5V$
- LV-TTL  $V_{CC}=+3.3V$
  
- CMOS :
  - C  $V_{DD}= +3V .. +15V$
  - HCT,ACT(TTL)  $V_{DD}= +5V (+-10\%)$
  
- Trend: nižanje napajalne napetosti...

## 2.2.5 Odpornost proti šumu

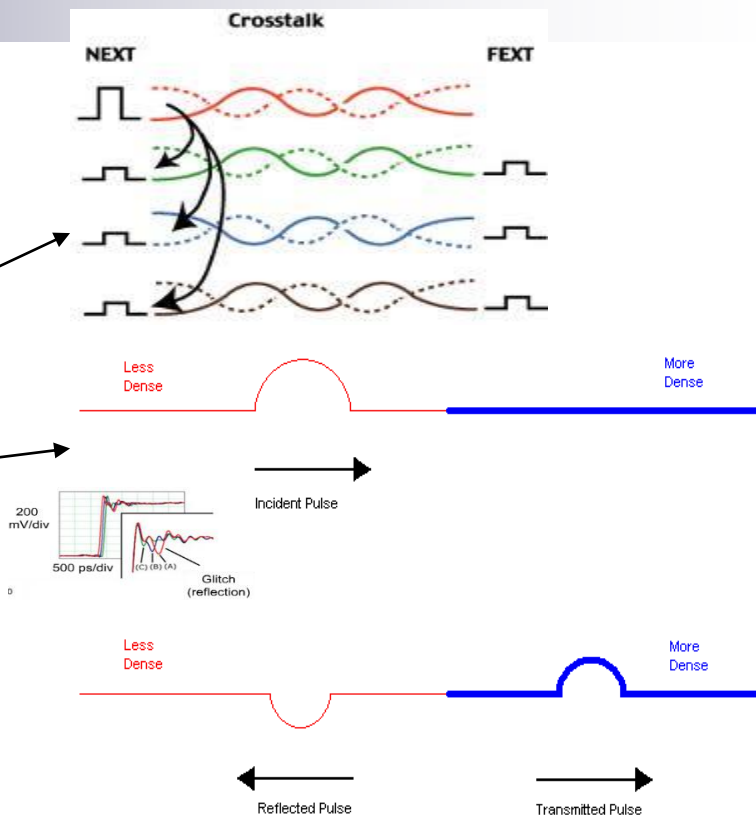
- ŠUM.. neželen motilni signal

- Izvori :

- v sistemu (presluh, odboj)
- zunanji:
  - brezžični (EMC, EM sevanja),
  - žični (el. omrežje, motnje)

- Šumna imuniteta

- Določanje po načelu „Worst Case“
- Pomembno tudi trajanje ( $<0.5t_p$  )
- Tipično so razmere precej boljše od WC ->



## 2.2.5 Odpornost proti šumu

### Tipične razmere :

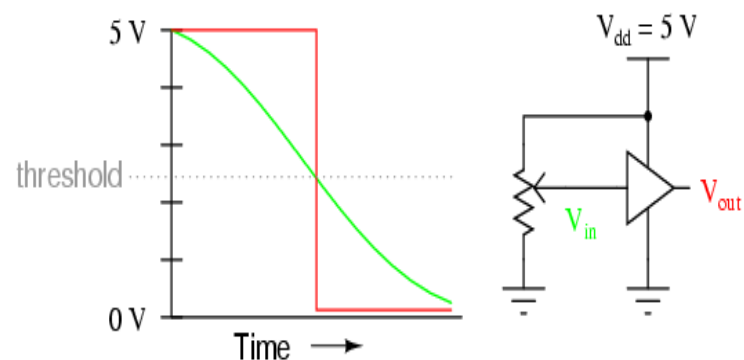
TTL vezja:

- „1“ ~ 3.4V, „0“ ~ 0.1V
- preklopni prag tipično 1.3V
- tip. ŠI =  $\min(1.3-0.1, 3.4-1.3)V = 1.2V$

CMOS (TTL kompatibilna):

- „1“ ~ 5V in „0“ ~ 0V
- preklopni prag pa tipično 2,5V
- tip. ŠI =  $\min(5-2.5, 2.5-0)V = 2.5V$

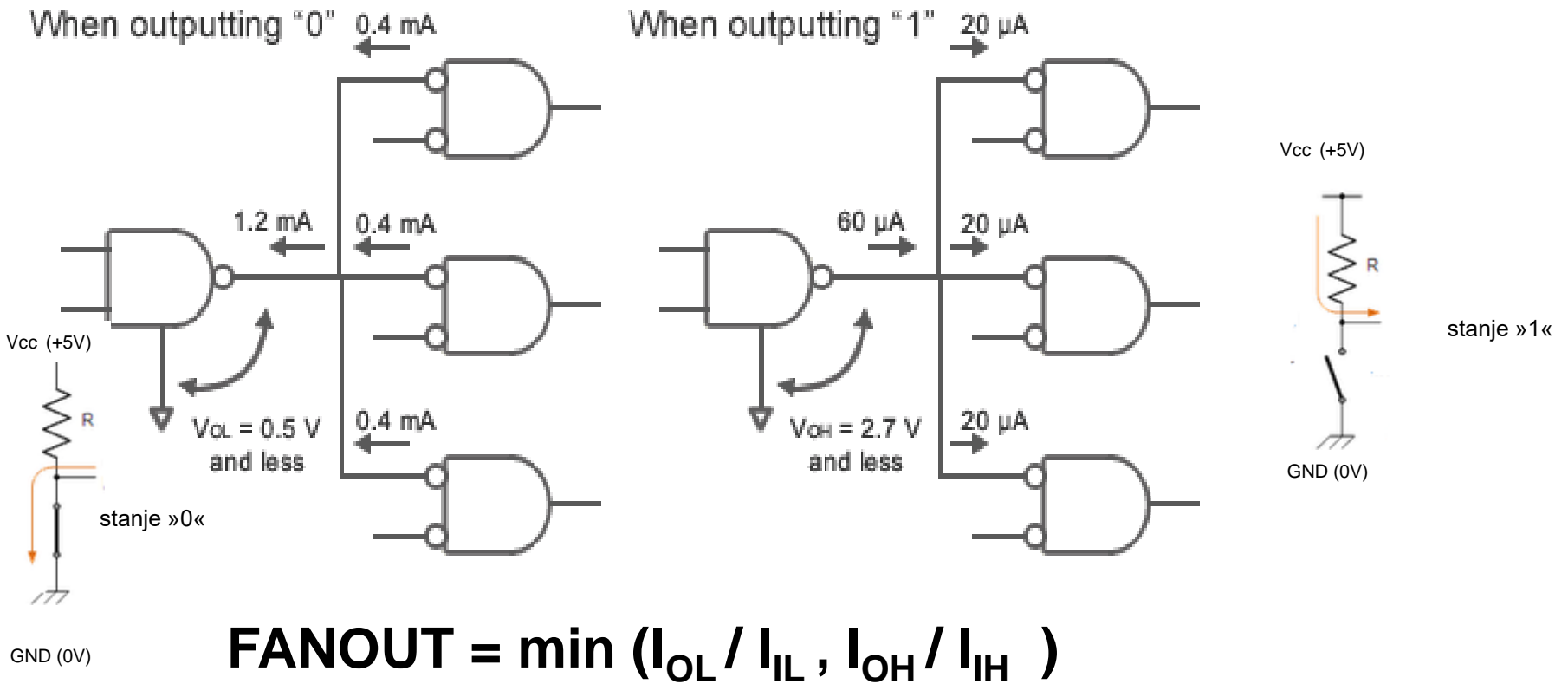
*Typical response of a logic gate to a variable (analog) input voltage*





## 2.2.6 Obremenljivost digitalnih vezij (FANOUT)

### Določanje obremenljivosti v obeh log. stanjih



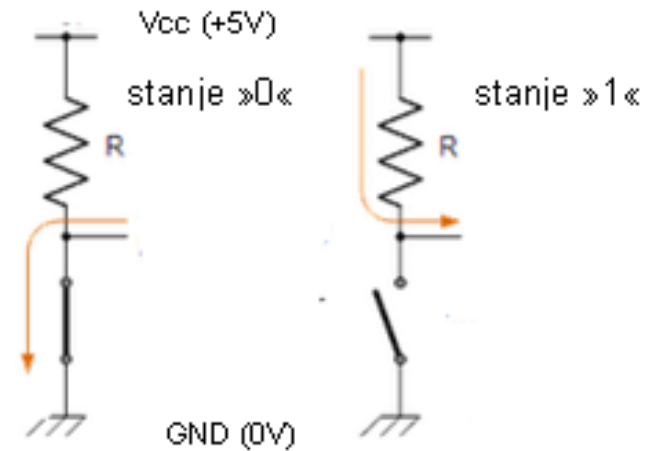
## 2.2.6 Obremenljivost digitalnih vezij (FANOUT)

Def.: Koliko vhodov lahko vežemo na 1 izhod...

TTL:

**IZHOD (Max. vrednosti):**

Tip\Max	$I_{OL}$ [mA]	$I_{OH}$ [mA]	Družina
74	16	-0.4	TTL
74LS	8	-0.4	TTL
74HCT	4	-4	CMOS
74ACT	24	-4	CMOS



$$\text{FANOUT} = \min (I_{OL} / I_{IL}, I_{OH} / I_{IH} )$$

**VHOD (Max. vrednosti):**

Tip\Max	$I_{IL}$ [mA]	$I_{IH}$ [mA]	Družina
74	-1.6	0.04	stand. TTL breme
74LS	-0.4	0.02	stand. LS-TTL breme
74HCT	-0.001	0.001	CMOS
74ACT	-0.001	0.001	CMOS

tok v vezje +  
tok iz vezja -

## 2.2.6 Obremenljivost digitalnih vezij

### Določanje obremenljivosti:

#### ■ TTL:

□ 74 :  $\min (I_{OL} / I_{IL}, I_{OH} / I_{IH} ) = \min (10, 10) = 10$

□ 74LS :  $\min (I_{OL} / I_{IL}, I_{OH} / I_{IH} ) = \min (20, 20) = 20$

#### ■ CMOS

□ vhodi tokovno praktično ne obremenjujejo izhoda na katerega so priključeni:

□ obstaja pa omejitev zaradi kapacitivnosti

## 2.2.7 Povezovanje vezij iz različnih družin

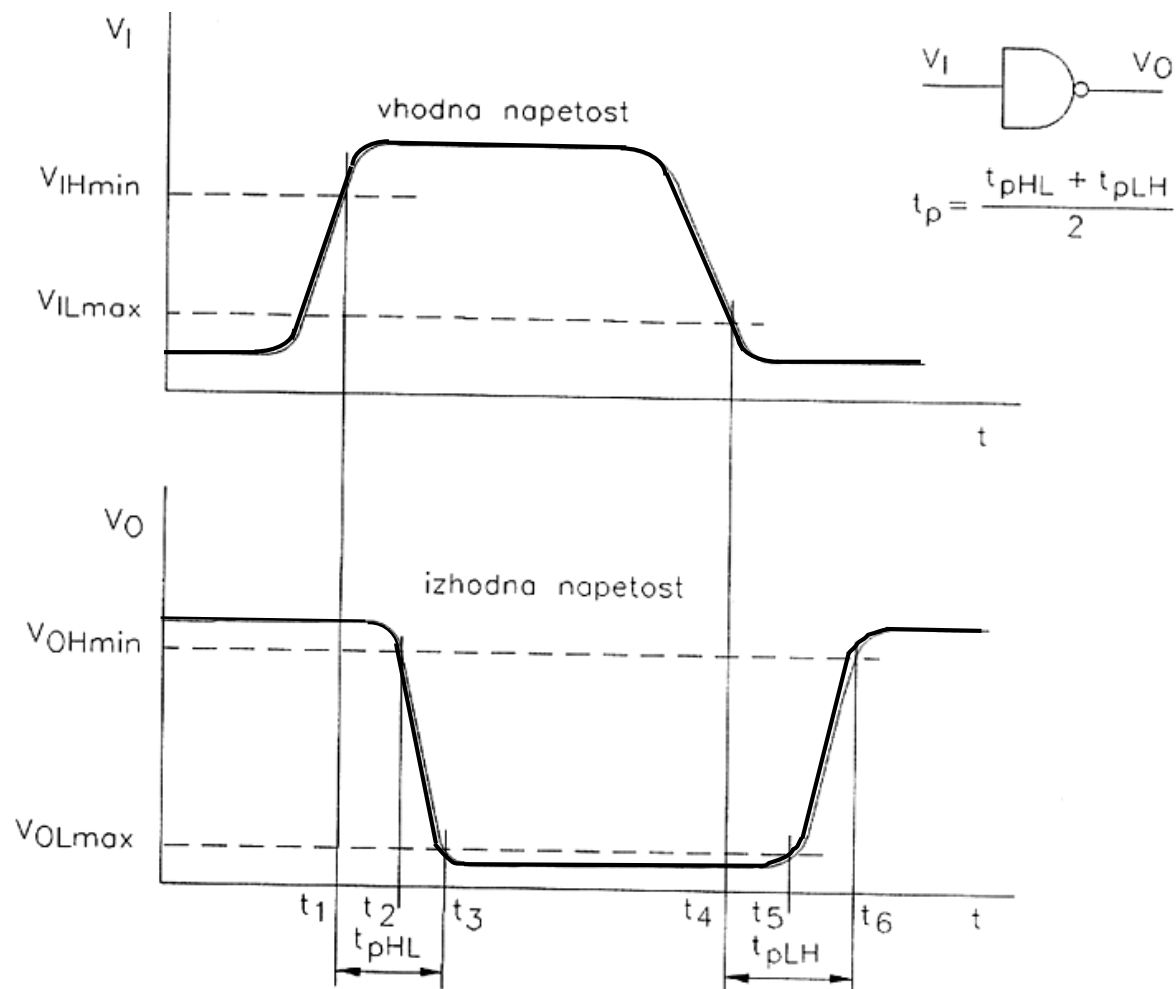
### Potencialna neskladja:

- **logični napetostni nivoji**
- **obremenljivost**
- **napajalna napetost**
- **hitra, počasna vezja**

### Reševanje:

- **prilagoditve, vmesniki, zamenjave...**

## 2.2.8 Časovni parametri digitalnih vezij



## 2.2.8 Časovni parametri digit. vezij

### ZAKASNITEV VEZJA («Propagation time«- $t_p$ ) :

- čas, ki preteče od trenutka ko se spremeni napetostni nivo na vhodu vezja, do trenutka, ko se ta sprememba odrazi na izhodu

### OSTALI VPLIVI

#### ■ VPLIV KAPACITIVNOSTI:

- na zakasnitev vezja vpliva tudi kapacitivnost na izhodu vezja
- vpliva bolj na zakasnitev kot napetostne nivoje

#### ■ VPLIV POVEZAV: vsled napredka povečujemo št. tranz. in s tem zmanjšujemo dimenzijo tranzistorjev in tudi povezav:

- + večja hitrost delovanja (manjši tranz.)
- slabše lastnosti povezav (večje število, manjše dimenzije)

## 2.2.9 Neuporabljeni vhodi/izhodi

Pravila za neuporabljene vhode oziroma izhode:

- *neuporabljen vhod v vezje:*
  - **TTL in CMOS:** mora biti obvezno priključen na 0 ali 1.
- *cel element neuporabljen*
  - **TTL:** lahko nepovezan
  - **CMOS:** neuporabljene celotne elemente v CMOS vezjih moramo povezati na 0 ali 1

## 2.2.10 Katero družino izbrati ?

Pravila :

### ■ Pravilo izbire družine:

priporoča se CMOS

■ HC

■ če potrebujemo hitrost -> AC, nove poddružine

■ če povezujemo s TTL -> nove poddružine s T na koncu

### ■ Pravilo izbire hitrosti:

„ravno prav hitro“ !?



## 2.2.10 Katero družino izbrati ?

Texas Instruments: Logic Guide 2017

<http://www.ti.com/lit/sg/sdyu001ab/sdyu001ab.pdf>

0.8-V Logic

AUC, AUP

1.2-V Logic

AUC, AUP, AVC

1.5-V Logic

AUC, AUP, AVC

1.8-V Logic

ALVC, AUC, AUP, AVC, LVC, LV1T

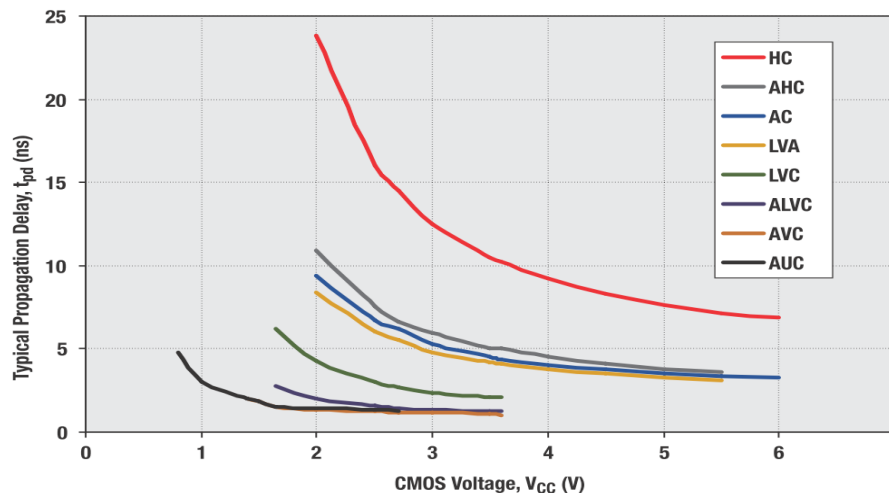
2.5-V Logic

ALVC, ALVT, AUC, AUP, AVC,  
LV, LV1T, LV-A, LVC

3.3-V Logic

AC, AHC, ALB, ALVC, ALVT,  
AUP, AVC, LV, LV-A,  
LVC, LVT, LV1T, AUP1T

CMOS Voltage vs. Speed



5-V Logic

ABT, AC/ACT, AHC, AHCT, ALS,  
AS, BCT, F, LV, LV1T, LV-A,  
LS, S, TTL, CD4000, FCT2

5-V+ Logic

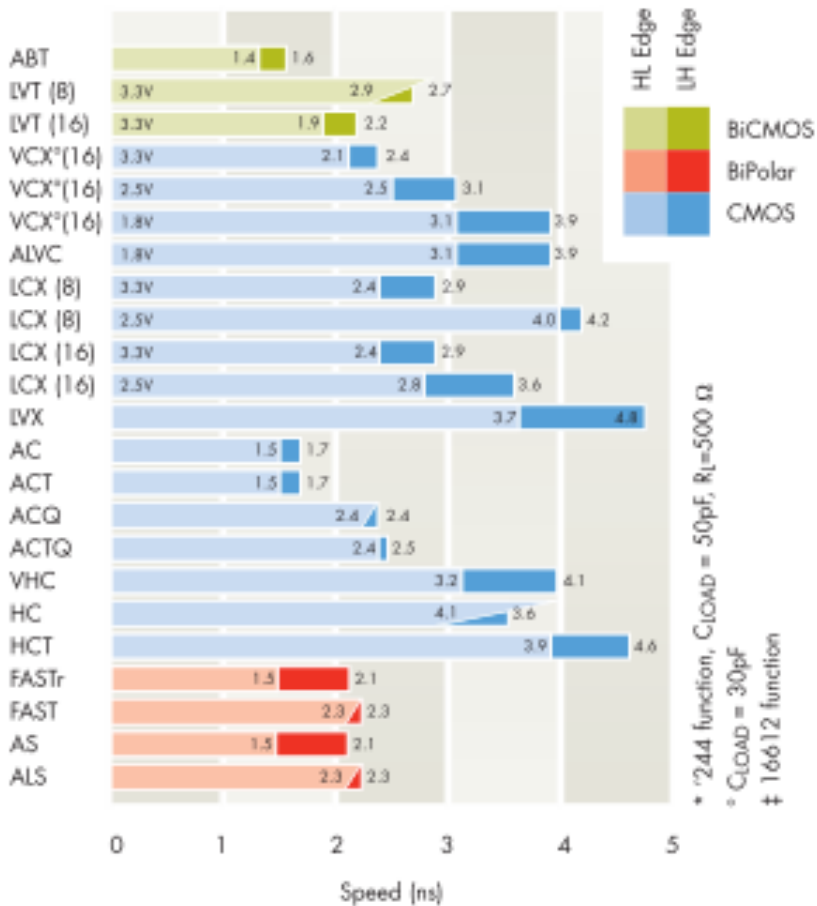
CD4000

# 2.2.10 Katero družino izbrati ?

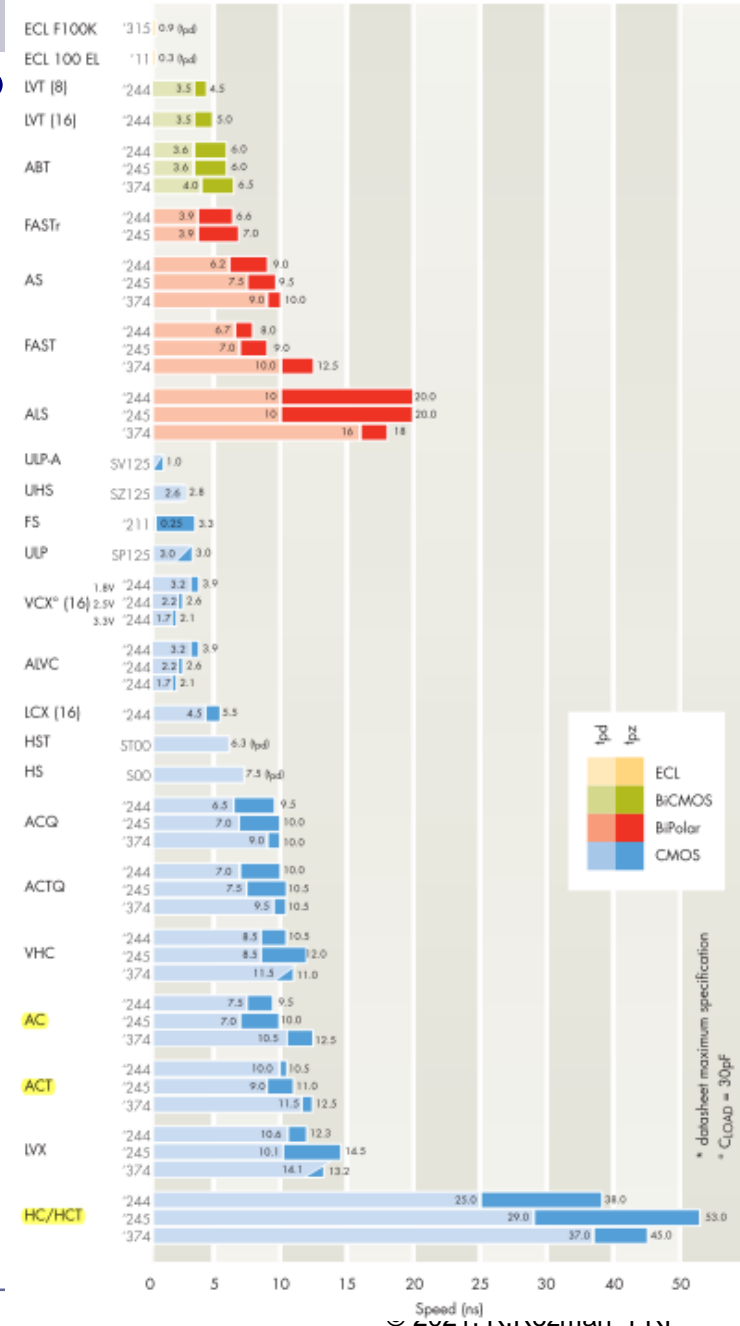
Fairchild Logic: Logic Guide 2017

<https://www.mouser.com/catalog/supplier/library/pdf/FairchildLogic.pdf>

## Output Rise and Fall Time\*



## Propagation Delay\*



Outp

ABT  
LVT (8)  
LVT (16)  
VCX\*(16)  
VCX\*(16)  
ALVC  
LCX (8)  
LCX (8)  
LCX (16)  
LCX (16)  
LVX  
AC  
ACT  
ACQ  
ACTQ  
VHC  
HC  
HCT  
FASTr  
FAST  
AS  
ALS

## 2.2.11 Načrtovanje in gradnja dig. sistemov

### Video :

„Complete PCB Cycle Design to Production“

<https://www.youtube.com/watch?v=bgBjub85TT4>

### Postopek :

#### Zasnova

- sest.deli, „lepila“, tehnologija, družina...

#### Načrtovanje

- razporeditev,povezave,PCB

#### Gradnja

- PCB, vgradnja elementov, spajkanje, preizkušanje

## 2.2.11 Načrtovanje in gradnja dig. sistemov

- „Worst Case“ načelo načrtovanja
  - podatkovne listine („datasheets“):
    - min, max, ~~typ~~,
  - tipične razmere („typ“) na srečo dosti boljše
- Vpliv povezovalnih žic
  - večja gostota, hitrost, manjše dimenzije, večje razdalje...

## 2.2.11 Načrtovanje in gradnja DS - SN7400

recommended operating conditions (see Note 3)

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub>	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High-level input voltage	2			2			V
V <sub>IL</sub>	Low-level input voltage	0.8			0.8			V
I <sub>OH</sub>	High-level output current	-0.4			-0.4			mA
I <sub>OL</sub>	Low-level output current	16			16			mA

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡	SN5400			SN7400			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
V <sub>IK</sub>	V <sub>CC</sub> = MIN, I <sub>I</sub> = -12 mA	-1.5			-1.5			V
V <sub>OH</sub>	V <sub>CC</sub> = MIN, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -0.4 mA	2.4	3.4		2.4	3.4		V
V <sub>OL</sub>	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 16 mA		0.2	0.4		0.2	0.4	V
I <sub>I</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 5.5 V	1			1			mA
I <sub>IH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.4 V	40			40			μA
I <sub>IL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4 V	-1.6			-1.6			mA

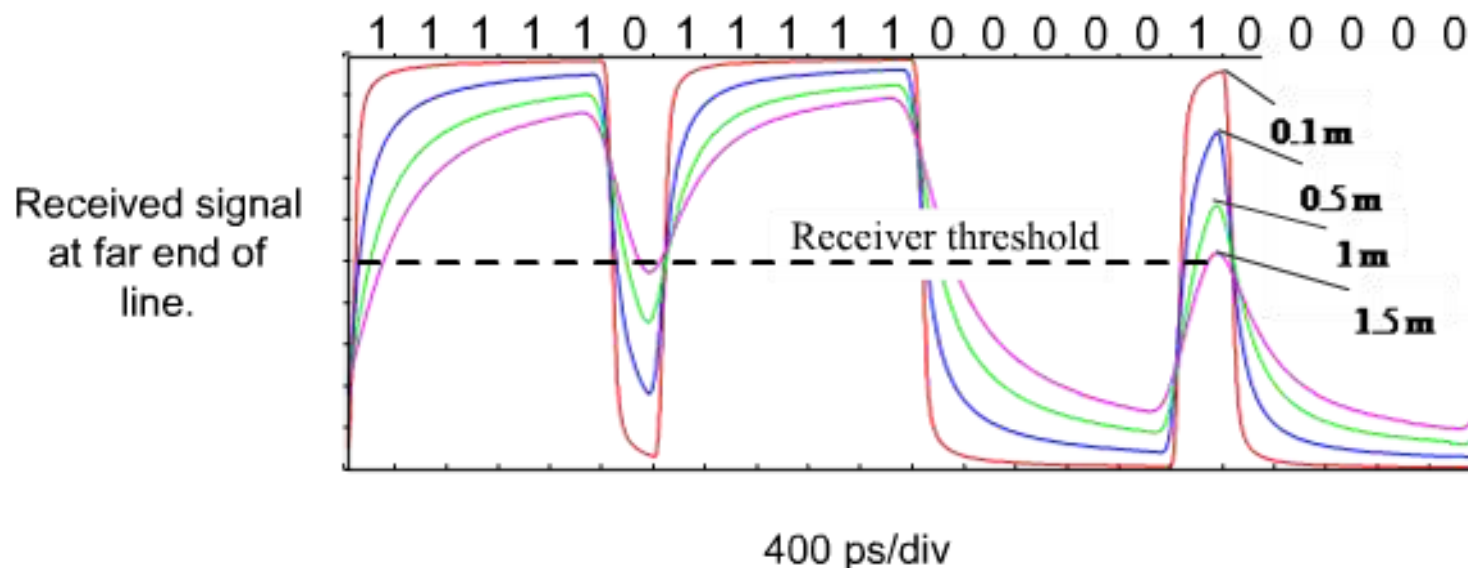
switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 400 Ω, C <sub>L</sub> = 15 pF		11	22	ns
t <sub>PHL</sub>					7	15	

## 2.2.11 Načrtovanje in gradnja dig. sistemov

Prikaz vpliva povezovalnih žic na preneseni signal:  
Primer signala na koncu 2.5Gb povezave

### Signal Transmission



## 2.3 Razvoj tehnologije

**Neenakomeren po področjih, različni vidiki:**

- **2.3.1 Naraščanje števila tranz. na čipu**
- **2.3.2 Hitrost in poraba, moč**
- **2.3.3 Naraščanje zmogljivosti**
- **2.3.4 Razmerje med frekvenco ure in močjo**
- **2.3.5 Pojav paralelizma**

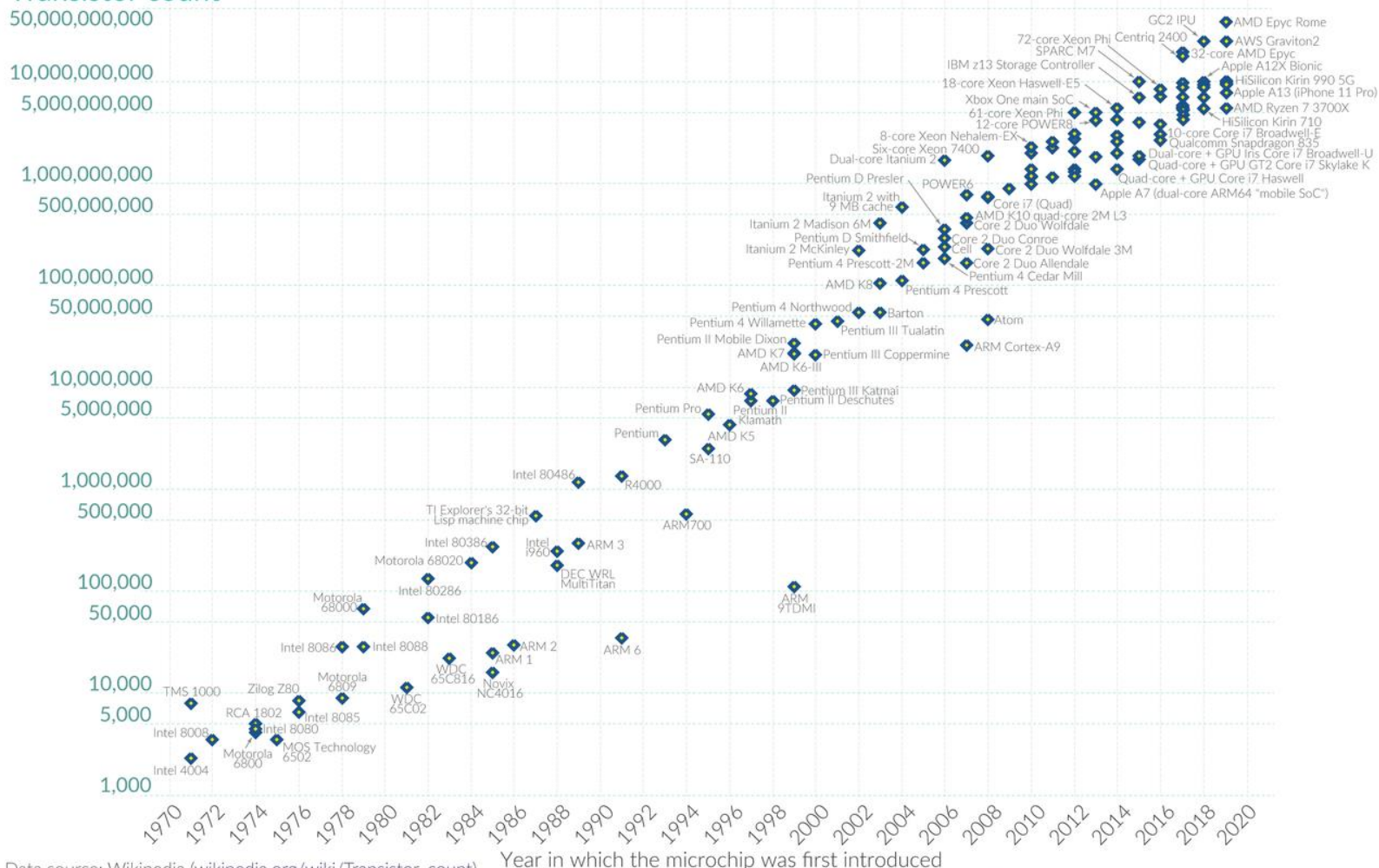
## 2.3.1 Naraščanje števila tranz. na čipu

### Moore's Law: The number of transistors on microchips doubles every two years

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.



#### Transistor count



Data source: Wikipedia ([wikipedia.org/wiki/Transistor\\_count](https://wikipedia.org/wiki/Transistor_count))

OurWorldinData.org – Research and data to make progress against the world's largest problems.

Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.



## 2.3.1 Naraščanje števila tranz. na čipu

Naraščanje št. tranz. pribl. sorazmerno s kvadratom zmanjševanja „feature size“

Intel tehnologije (mikroarhitekture) :

14 nm :

Broadwell (2014)

Skylake (2015)

Kaby Lake,  
Coffee Lake (2017)

10 nm :

Cannon Lake (2018)

Ice Lake (2019)

Tiger Lake-11th (2020)

AMD tehnologije (mikroarhitekture) :

14 nm :

ZEN (2017)

12 nm :

ZEN+ (2018)

7 nm :

ZEN 2 (2019)

ZEN 3 (2020)



Processor	MOS transistor count	Date of introduction	Designer	MOS process (nm)	Area (mm <sup>2</sup> )
AMD Epyc Rome (64-bit, SIMD, caches)	39,540,000,000 <sup>[1][2]</sup>	2019	AMD	7 & 12 nm (TSMC)	1008 mm <sup>2</sup>
AWS Graviton2 (64-bit, 64-core ARM-based, SIMD, caches) <sup>[133][134]</sup>	30,000,000,000	2019	Amazon	7 nm	?
AMD Epyc (32-core 64-bit, SIMD, caches)	19,200,000,000	2017	AMD	14 nm	768 mm <sup>2</sup>
Centriq 2400 (64/32-bit, SIMD, caches)	18,000,000,000 <sup>[115]</sup>	2017	Qualcomm	10 nm	398 mm <sup>2</sup>
Apple M1 (octa-core 64-bit ARM64 SoC, SIMD, caches)	16,000,000,000 <sup>[137]</sup>	2020	Apple	5 nm	119 mm <sup>2</sup>

# 2.3.1 Naraščanje števila tranz. na čipu - vrste

## Namenski sistemi

Device type	Device name	Transistor count	Date of introduction	Designer(s)	Manufacturer(s)	MOS process	Area
Deep learning engine / IPU	Wafer Scale Engine 2	2,600,000,000,000	2020	Cerebras	TSMC	7 nm	46,225 mm <sup>2</sup>
Deep learning engine / IPU	Wafer Scale Engine	1,200,000,000,000	2019	Cerebras	TSMC	16 nm	46,225 mm <sup>2</sup>
Deep learning engine / IPU <sup>[9]</sup>	Colossus GC2	23,600,000,000	2018	Graphcore	TSMC	16 nm	~800 mm <sup>2</sup>

## Primerjava vrst

Year	Component	Name	Number of MOSFETs (in billions)
2019	microprocessor (commercial)	Epyc Rome	39
2020	GPU	GA100 Ampere	54
2019	any IC chip	Samsung's V-NAND chip	2000
2020	any IC chip	Wafer Scale Engine 2	2600

## GPU

Processor	MOS transistor count	Date of introduction	Designer(s)	Manufacturer(s)	MOS process	Area	Ref
GA100 Ampere	54,000,000,000	2020	Nvidia	TSMC	7 nm	826 mm <sup>2</sup>	[3][195]
GA102 Ampere	28,000,000,000	2020	Nvidia	Samsung	8 nm	628 mm <sup>2</sup>	[196][197]
GV100 Volta	21,100,000,000	2017	Nvidia	TSMC	12 nm	815 mm <sup>2</sup>	[189]
TU102 Turing	18,600,000,000	2018	Nvidia	TSMC	12 nm	754 mm <sup>2</sup>	[190]
GA104 Ampere	17,400,000,000	2020	Nvidia	Samsung	8 nm	392 mm <sup>2</sup>	[198]

## 2.3.2 Hitrost in poraba, moč

Povečevanje hitrosti delovanja :

- prva aproksimacija :
  - narašča linearno z zmanjševanjem „feature size“

Ne velja zaradi :

- slabšanja lastnosti povezovalnih žic
- naraščanja dinamične porabe tranzistorjev:

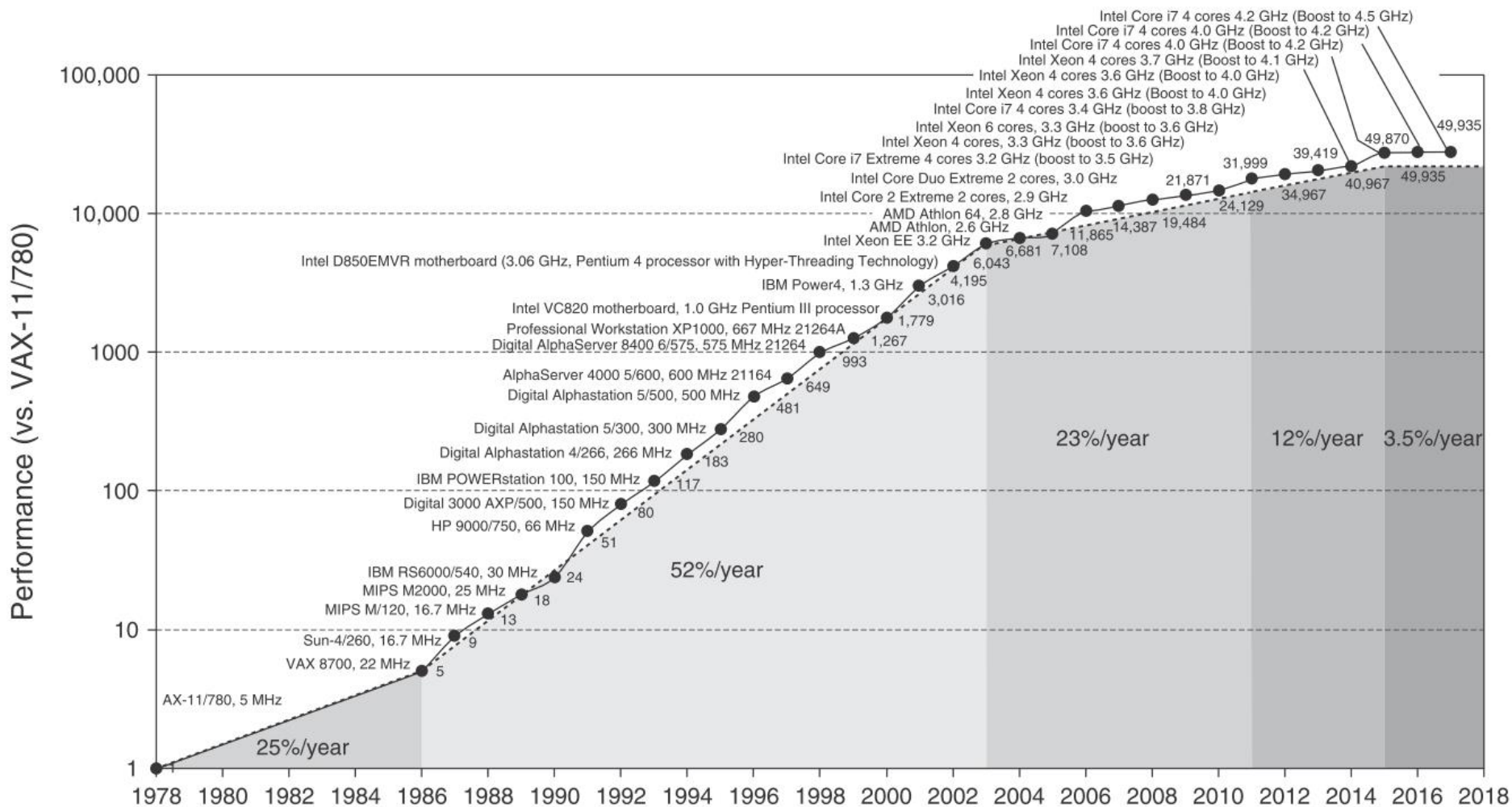
$$\text{Moč} = 0.5 \times \text{Kapac.breme} \times \text{Napetost}^2 \times \text{Frek.preklopov}$$

Faktor aktivnosti (clock=1.0,  
običajno 0.1)

Poraba moči se povečuje tudi zaradi puščanja tranzistorjev pri nižjih napetostih – zato nepotrebne dele izklapljamo !

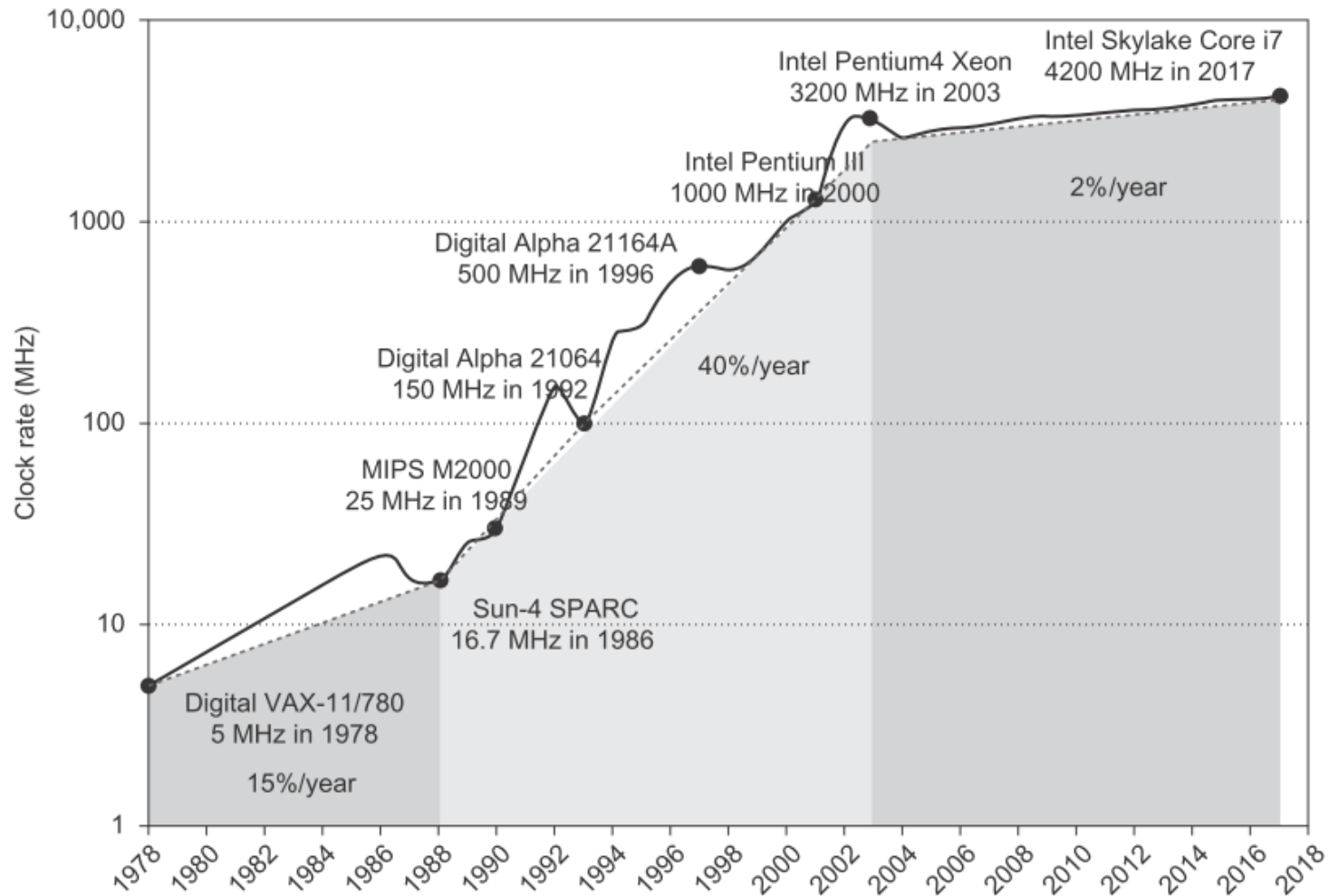
## 2.3 Razvoj tehnologije

### 2.3.3 Naraščanje zmogljivosti procesorjev od leta 1986



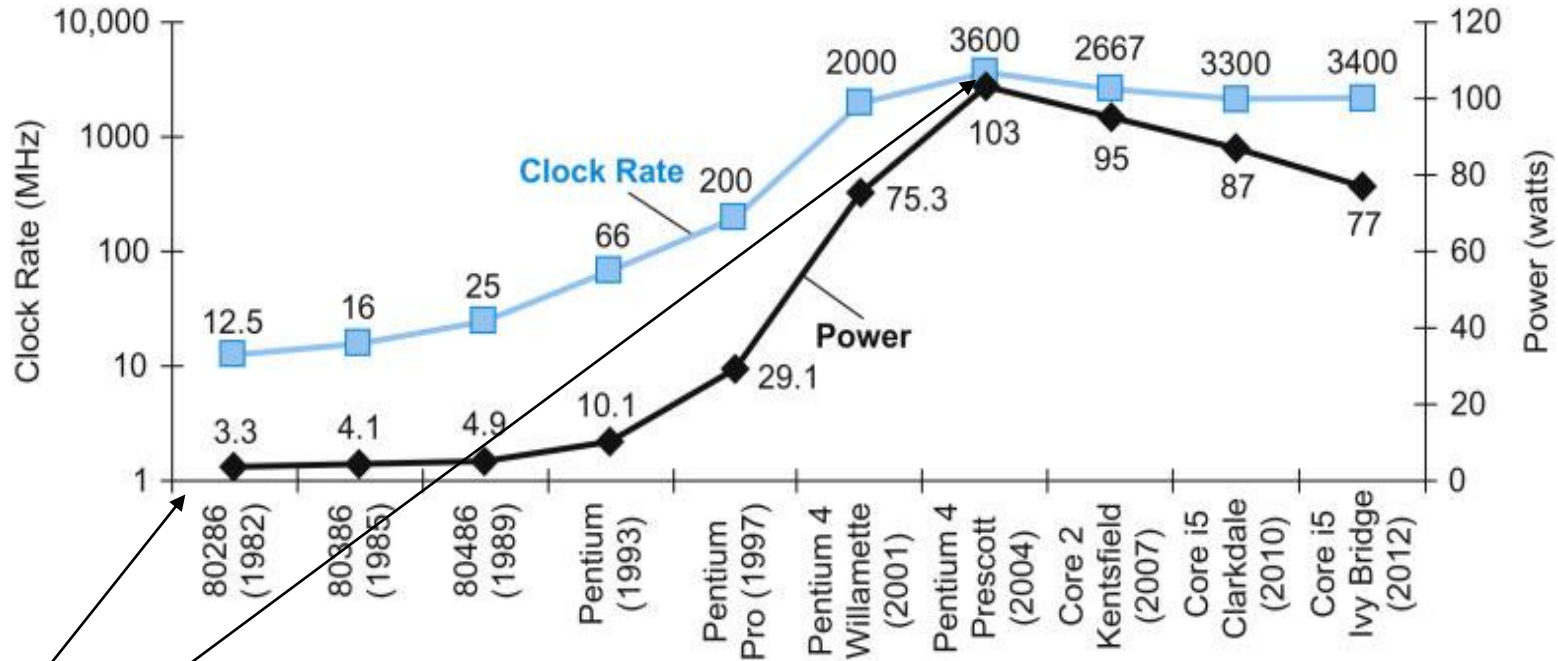
## 2.3 Razvoj tehnologije

### 2.3.4 Frekvenca ure in moč mikroprocesorjev



## 2.3 Razvoj tehnologije

### 2.3.4 Frekvenca ure in moč mikroprocesorjev Intel x86 čez 10 generacij

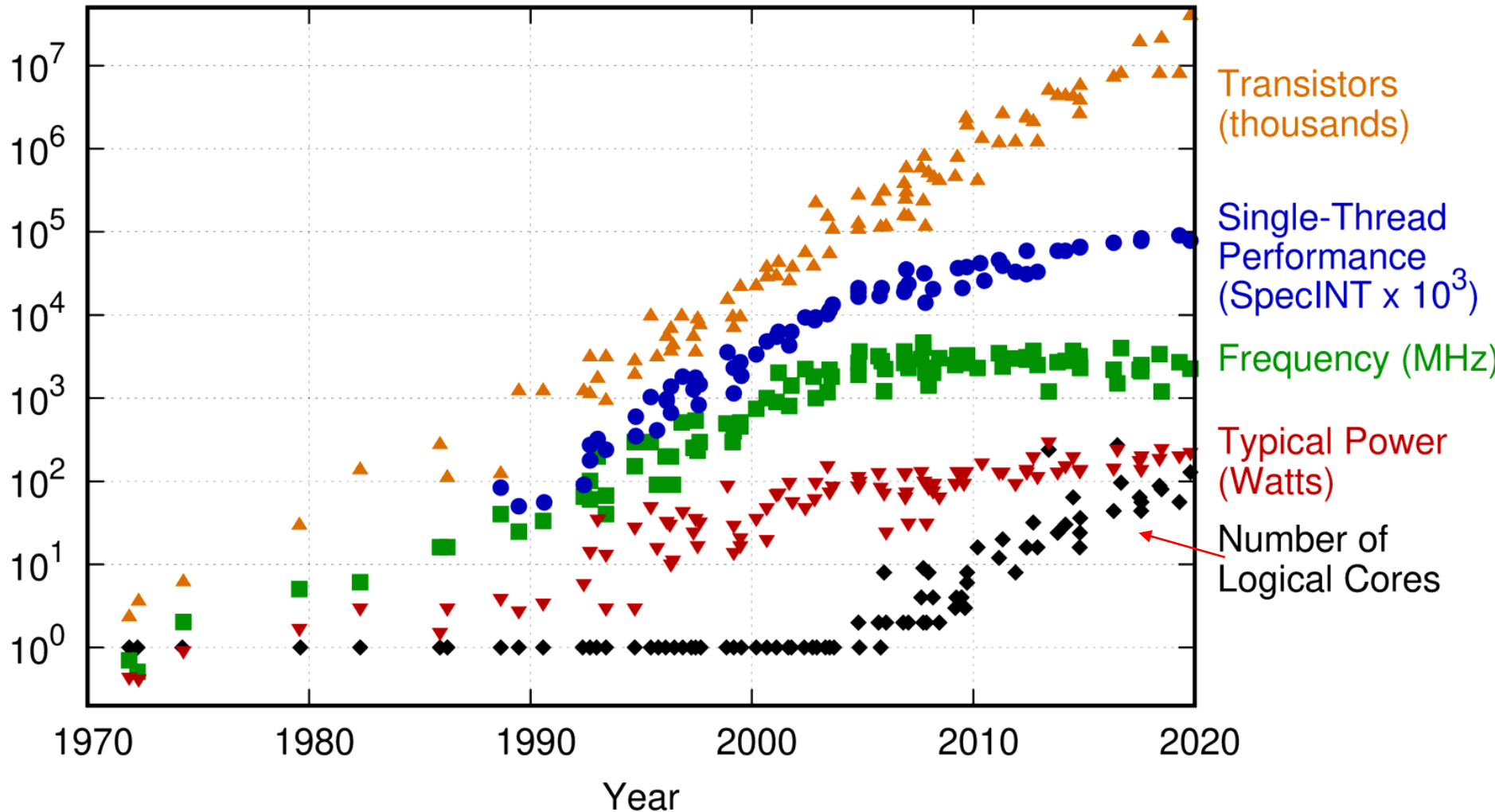


1982-2004:

- 300x povečanje frekv. ure
- 30x povečanje moči (???)

Kako je to mogoče ? -> nižanje napajalne napetosti...

# 48 Years of Microprocessor Trend Data



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten  
New plot and data collected for 2010-2019 by K. Rupp

Vir: <https://github.com/karlrupp/microprocessor-trend-data/blob/master/48yrs/48-years-processor-trend.png/>

Poraba ?

„... Dve jedri porabita manj kot eno dvakrat hitrejša ...“

## 2.3.5 Pojav paralelizma

Zakaj ?

V zadnjih desetletjih:

- osnovna hitrost vezij (log.vrat) se poveča **?-krat**
- št. elementov na čipu se poveča **?-krat**

Večjedrni mikroprocesorji (multiprocesorji, multiračunalniki, ...)

Procesor	Intel Core Nehalem	AMD Phenom II Thuban	Intel Core i7 Gulftown	IBM Power 6	Sun Ultra Sparc T2 Niagara 2	i9-7980X (09/2017)	Ryzen 5900X (2020)	i9-11900K (2021)
Število jedr	4	6	6	2	8	10	12	8
Frekvenca ure	2,667 GHz	3,2 GHz	3,33 MHz	4,7 GHz	1,4 GHz	3.3-4.3 GHz	3.7-4.8 GHz	2.5-5.3 GHz
Moč (TDP)	~100 W	152 W	130W	~100 W ?	84 W	140 W	105 W	125W



# Izbrane novosti

## Deep Learning at the Speed of Light

Lightmatter bets that optical computing can solve AI's efficiency problem

FEATURE

JULY 2021

## A Quantum Speedup for the Fast Fourier Transform

Quantum computers will turbocharge the algorithm that underpins much of modern tech

## The Future of Deep Learning Is Photonic

Reducing the energy needs of neural networks might require computing with light

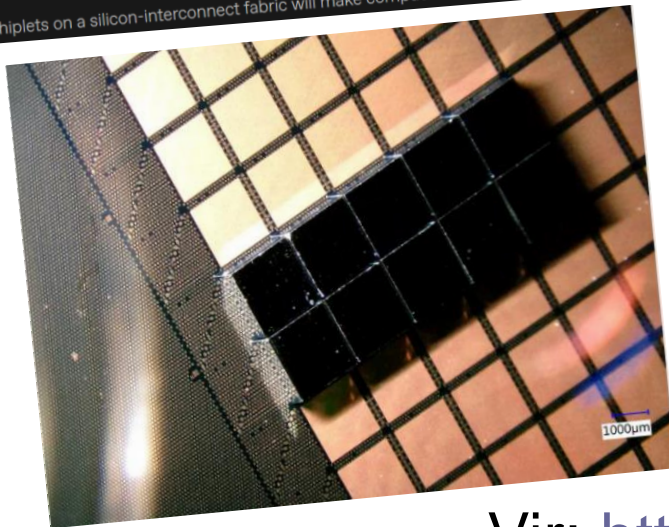


## GOODBYE, MOTHERBOARD. HELLO, SILICON-INTERCONNECT FABRIC

Bare chiplets on a silicon-interconnect fabric will make computers smaller and more powerful

## Supersize AI

Cerebras's silicon-wafer-size chip boasts 2.6 trillion transistors



Vir: <https://spectrum.ieee.org/magazine/>

## Viri in dodatna gradiva

- Dodatna literatura :
  - P. Bulič: Osnove digitalnih vezij
    - Zapiski pri predmetu ORS (Organizacija Računalniških Sistemov)
  
- Podatkovna listina: sn74ls00
  
- Prikaz načrtovanja in produkcije tiskanih vezij (PCB) - matičnih plošč
  - Complete PCB Cycle Design to Production (4 min)
  - How Motherboards Are Made (2019) (14min)