



# ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

## 1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman

[rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

## Računalniška arhitektura – 1.1 Predmet RA

- Spletne strani: <http://ucilnica.fri.uni-lj.si>  
<https://padlet.com/RRobi/ORWall>

- Hibridna predavanja, vaje :
  - MS Teams
    - Koda za vstop: **s5ifk3g**



OR VSP 2021/22

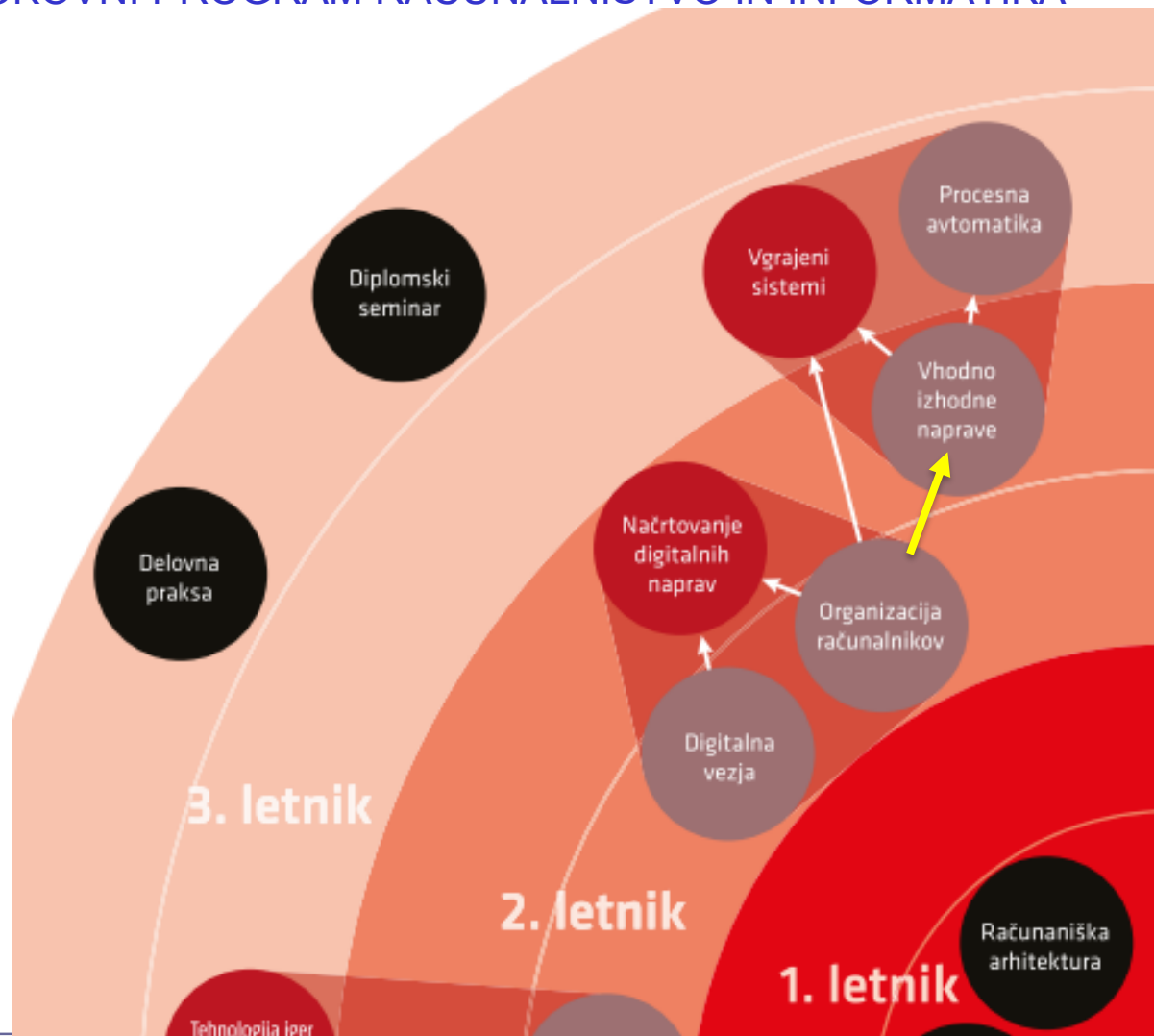


- Moj e-naslov: [rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

- Govorilne ure: trenutno četrtek od 16:15 do 17:00 v R2.40  
Občasne spremembe bodo pravočasno objavljene na učilnici  
Prijava: email ali <https://calendly.com/rrozman/govorilne> (poskusno)

- ***Vedno dobrodošli !!!***

## VISOKOŠOLSKI STROKOVNI PROGRAM RAČUNALNIŠTVO IN INFORMATIKA



■ Robert Rozman

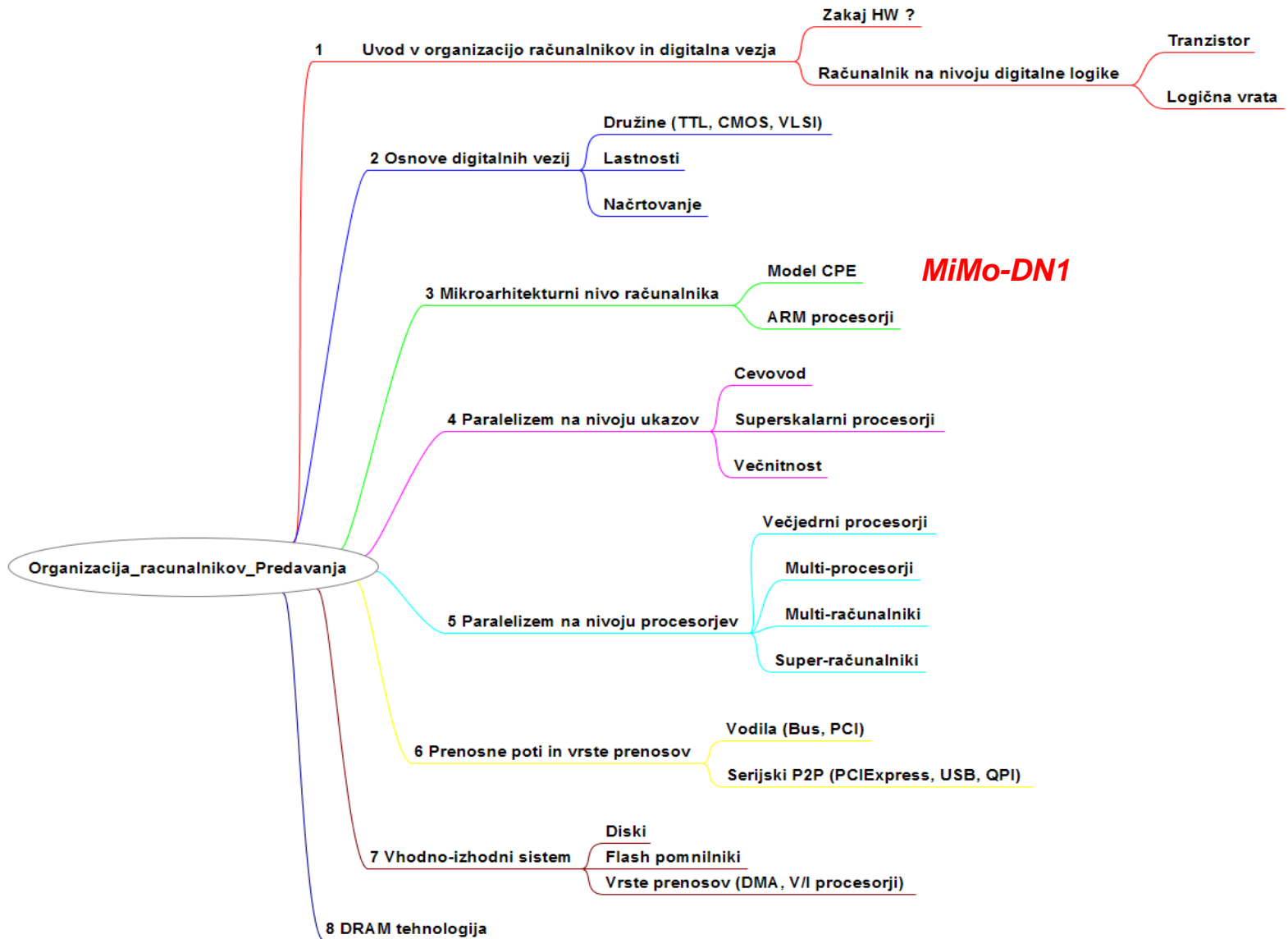
[rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

■ Pregled obravnavanih tem na predavanjih :

1. Uvod v organizacijo računalnikov in digitalna vezja
2. Osnove integriranih dig. vezij (TTL, CMOS, VLSI)
3. Mikroarhitekturni nivo računalnika (*CPE, **MiMo-DN1**, ARM*)
4. Paralelizem na nivoju ukazov (*cevovod, superskalarni procesorji*)
5. Paralelizem na nivoju procesorjev (*multiprocesorji, multiračunalniki*)
6. Prenosne poti in vrste prenosov (*PCI, PCI Express, USB, QPI*)
7. Vhodno-izhodni sistem (*diski, flash pomnilniki*) -> predmet VIN

Vmes: primeri organizacije računalnika – ARM (FRI-SMS), Intel, AMD

# Pregled obravnavanih tem na predavanjih

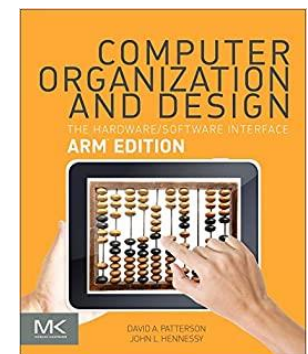
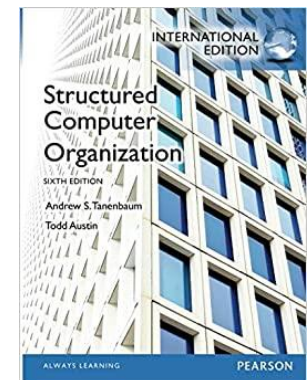


## Literatura (dosegljiva v FRI/FKKT knjižnici):

- D.M.Kodek: **Arhitektura in organizacija računalniških sistemov**
  - (oznaka [Kodek] v nadaljevanju)
- Tanenbaum: **Structured Computer Organization, 6th Edition**
  - (oznaka [Tan] v nadaljevanju)
- Patterson, Hennessy: **Computer Organization and Design, 5th+ Edition**
  - (oznaka [Patt] v nadaljevanju)

## Ocena

- 50% sprotno delo (lab. vaje)
- 50% ustni (pisni) izpit



## Mnenja slušateljev (2018/19) - izbor:

Povpr.ocena/max· [št.odg./vsi]¤	2018/19¤
Predmet¤	4.85/5·[28/31]¤
Izvajalec¤	4.99/5·[28/31]¤

## Izvedba predmeta:

- Dobro:
  - Odlično izveden predmet, vse informacije so jasno podane prek učilnice. Profesor se zelo trudi vzbuditi zanimanje tudi za dodatna gradiva povezana s tem predmetom.
- Slabo:
  - Vaje so bile na trenutke **nekoliko nerazumljive, predvsem v drugi polovici semestra**
  - Spletna učilnica** bi lahko bila bolj urejena.
  - ... neke **vrste pripravljalni kviz** (npr. v obliki domače naloge) za 2. preverjanje
  - Preveč pisanja.**

## Izvajalec:

- Dobro:
  - Snov povezuje med preteklimi in navezujočimi predmeti ...
  - Vedno **na voljo za vprašanja ali pomoč** ...
- naštejte nekaj pomanjkljivosti in predlagajte izboljšave.
  - Preveč pisanja.

### Ugotovitve (2018/19) :

Več **skupnega dela** na laboratorijskih vajah  
Kratke domače naloge na lab. vajah  
Več **dvosmerne interakcije**

## Mnenja slušateljev (2019/20) - izbor:

## Izvedba predmeta:

## ■ Dobro:

- Dober predmet, na dovolj nizek nivo HW-ja, da je še vedno razumljivo ob temeljitem premisleku.
- Na splošno je predmet zelo zanimiv in praktičen. Delo na konkretnih napravah pri vajah je zelo zanimivo.

## ■ Slabo:

- Spletna učilnica bi lahko bila bolj počiščena
- ... neke vrste pripravljani kviz (npr. v obliki domače naloge) za 2. preverjanje

## Izvajalec:

## ■ Dobro:

- Zelo dobro razlaga snov, vidi se da jo ima v malem prstu. Še posebej letos, ko so zapiski barvni je snov še toliko bolj razumljiva. Všeč mi je tudi, da pri predmetu poskrbi, da vemo vse iz osnov navzgor. Profesor je tudi izredno prilagodljiv in razumevajoč, pripravljen tudi izven ur razložiti snov predavanj itd

## ■ naštejte nekaj pomanjkljivosti in predlagajte izboljšave.

- Ni mnenj

Izbran predmet: OR (63717)		
Povpr. ocena/max. [št. odg./vsi]	2019/20	2018/19
Predmet	4.82/5 [23/26]	4.85/5 [28/31]
Izvajalec	4.90/5 [23/26]	4.99/5 [28/31]

Ugotovitve (2019/20):

Več skupnega dela na laboratorijskih vajah

Več dvosmerne interakcije



Ocene STUDIS za izvajalca – OR (63717) – 1

1

Povpr. ocena/max. [št. odg./vsi]	2020/21	2019/20	2018/19
Izvajalec	4.96/5 [37/41]	4.90/5 [23/26]	4.99/5 [28/31]

## Mnenja slušateljev (2020/21) - izbor:

### Izvedba predmeta in izvajalec:

#### ■ Dobro:

- Najbolje pripravljen od vseh predavateljev za predavanja na daljavo, zelo dobro uporablja notes, vsi zapiski katere naredi so navoljo tudi nam. SUPER
- Najboljše izveden predmet v tem semestru. **Vsa predavanja in vaje so bila posneta**, posnetki vaj so bili celo zrezani po poglavjih. Profesor je med predavanji in vajami delal celo **sprotne zapiske v OneNote**.

#### ■ Slabo:

- .

#### Ugotovitve (2020/21) :

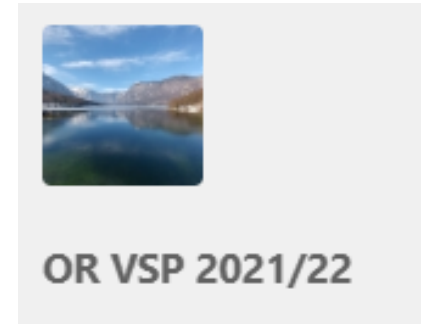
Dobra online izvedba, vendar nazaj **v živ način dela**

Več **skupnega dela** na laboratorijskih vajah

Več **dvosmerne interakcije**

## Posebnosti (Covid) 2021:

- Živa izvedba predavanj in vaj
- Orodje :
  - e-učilnica ostaja
  - MS Teams
    - Koda za prijavo v Team : **s5ifk3g**
    - **Komunikacija** (govorilne ure, pogovor, pomoč), OneNote zvezek
  - <https://padlet.com/RRobi/ORWall>
    - Za posamezna poglavja predavanj, anonimnost
- Izhodišča:
  - karseda aktivno sodelovanje, pogovor, debata...
- Novosti:
  - obogatitev paralelnega dela (sling)
  - vzporedno uvajanje – ARM Cortex M4



## Organizacija računalnikov

[Pregledna plošča](#) / [Moji predmeti](#) / [or](#)

### Splošno

#### Izvajalci

- Predavatelj: **Robert Rozman**
- Asistenti: **Robert Rozman**

#### Vsebina vaj

Predmet je vsebinsko nadaljevanje predmeta Računalniška arhitektura. Na vajah nadaljujemo z zbirnikom mikrokrmilnika AT91SAM9260 (sistem FRI-SMS) in znanje razširimo s spoznavanjem in programiranjem CPE in vhodno izhodnih naprav, ki so vgrajene v mikrokrmilnik. Sem sodijo paralelni vhod/izhod, časovnik, zaporedni vmesnik (UART), itd. Spoznamo se tudi z osnovami priključitve v/i naprav (LED dioda, tipka) in programiranja v programskem jeziku C. Obravnavamo tudi MiMo model mikroprogramirane CPE na nivoju logičnih vrat v simulatorju Logisim - na voljo je model delujoče CPE z nekaj ukazi v zbirniku. Obstoječi model dopolnite z novimi ukazi v zbirnem jeziku, pri čemer določite za vsak ukaz v zbirniku ustrezen mikroprogram oziroma zaporedje vseh opravil, potrebnih za izvedbo izbranega ukaza. S tem se s praktičnega vidika podrobneje seznanite z delovanjem CPE. MiMo model lahko neobvezno dopolnite na opisanih nivojih in tudi na nivoju logičnih vrat (nove V/I naprave, sklad, prekinitve,...). Semester zaključimo z izdelavo lastne aplikacije za mikrokrmilnik FRI-SMS.

Za čas izvajanja predmeta lahko dobite v sposojo sistem FRI-SMS. Tako ga lahko poljubno in v kontekstu vaj programirate tudi doma oz. kjerkoli.

#### Ocenjevanje, obveznosti

Vaje prispevajo 50 odstotkov h končni oceni in morajo biti opravljene. Da študent vaje opravi, mora:

- uspešno oddati obe obvezni domači nalogi in
- na dveh preverjanjih skupno zbrati vsaj 100 točk. Na prvem preverjanju je možno doseči 90 točk, na drugem pa 110 točk.

Dodatne točke lahko pridobite z neobveznimi domačimi nalogami in drugim dodatnim delom (projekt, seminar, aplikacija).

# MS Teams: Komunikacija, DN, OneNote zvezek

The screenshot displays the Microsoft Teams application interface. On the left, the navigation pane shows 'All teams' with a team named 'OR VSP 2021/22'. Underneath, there are sections for 'Class Notebook', 'Assignments', 'Grades', and 'Insights'. The 'Channels' section lists 'General', 'LAB', 'Predavanja', and 'Vprašanja in odgovori'. The main area shows a OneNote notebook titled 'Class Notebook' with a ribbon menu (File, Home, Insert, Draw, View, Help) and a toolbar. The notebook page is titled 'FRI SMS Web arhiv dokumentacij' and contains the following text:

torek, 10. november 2020 17:46

### Sistem FRI-SMS

Z izdelavo mikroračunalniškega sistema FRI-SMS smo na Fakulteti za računalništvo in informatiko želeli olajšati spoznavanje študentov s sodobnimi 32-bitnimi mikrokontrolerskimi arhitekturami in poenotiti namensko strojno opremo pri izvajanju vaj. FRI-SMS smo zasnovali okoli mikrokontrolerka AT91SAM9G20 iz družine ARM9 in na njem lahko pogajamo operacijski sistem Linux. Sistem je namenjen uporabi na vajah pri različnih predmetih skozi vsa leta študija na Fakulteti za računalništvo in informatiko.

From <[https://web.archive.org/web/20090221180333/http://lpgs.fri.uni-lj.si/fri-sms/fri-sms\\_ohp](https://web.archive.org/web/20090221180333/http://lpgs.fri.uni-lj.si/fri-sms/fri-sms_ohp)>

## ARM9 razvojni sistem

## FRI - SMS

### Izvorna koda

- [Prvo-stopenjski zagonski nalagalnik](#) (projekt za IAR prevajalnik)
- [Buildroot okolje za uredjanje programa](#) (tar.bz2 datoteka, med drugim vsebuje BusyBox, uclibo) (15MB)
- Drugo-stopenjski nalagalnik U-BOOT
- [Jedro operacijskega sistema Linux](#) (različica 2.6.27) (50MB)
- [Dataflash erasa](#) (projekt za winIDEA)

### Datoteke z izvršilno kodo

- [Prvo-stopenjski nalagalnik](#)
- [Drugo-stopenjski nalagalnik U-BOOT](#)
- [Jedro operacijskega sistema Linux \(različica 2.6.23\)](#)
- Jedro operacijskega sistema Linux (različica 2.6.27)
- [Datotečni sistem \(ext3\)](#)

From <[https://web.archive.org/web/20081111130931/http://lpgs.fri.uni-lj.si/fri-sms/program\\_ohp](https://web.archive.org/web/20081111130931/http://lpgs.fri.uni-lj.si/fri-sms/program_ohp)>

### Seznam listin

- Razvojni sistem FRI-SMS
- [Stikalni načrt](#)

# Tedenska vsebina

<https://padlet.com/RRobi/ORWall>

The image shows a Padlet board titled "OR Wall" with a dark blue starry background. At the top, it says "RRobi + 1 = 1m" and "OR Wall" with the subtitle "Osnovni viri za tekoči teden, odprto za vprašanja, diskusijo in predloge...". The board is organized into five columns:

- Stalni viri:** Contains two items: "FRI E-učilnica" with a large "FRI" logo and "Organizacija računalnikov" with the text "Predmet je vsebinsko nadaljevanje pred... uni-Hj"; and "MS Teams" with "Team code: 5ger1n0".
- Vsebina:** Contains a list of topics: "1.Uvod :", "1.1 Splošni pojmi", "1.2 Zgradba in organizacija računalnika", and "1.3 Računalnik na nivoju digitalne logike".
- Viri:** Contains two video links: "Making the Microchip – At the Limits III Preview" by Rod Gross and "The Making of a chip" by Shabeer Rasheed.
- Vprašanja&odgovori:** This column is currently empty.
- Komentarji:** Contains one comment from "Anonymous" with the text "Pisava.size() ++".

#### Laboratorijske vaje :

- nadaljevanje **programiranja na ARM-u**
  - s poudarkom na spoznavanju organizacije vgrajenega računalnika FRI-SMS (ARM arhitektura)
  - osnove jezika C (neobvezna vsebina)
- **MiMo** - Mikroprogramski model CPE v Logisimu
- naloge, diskusija

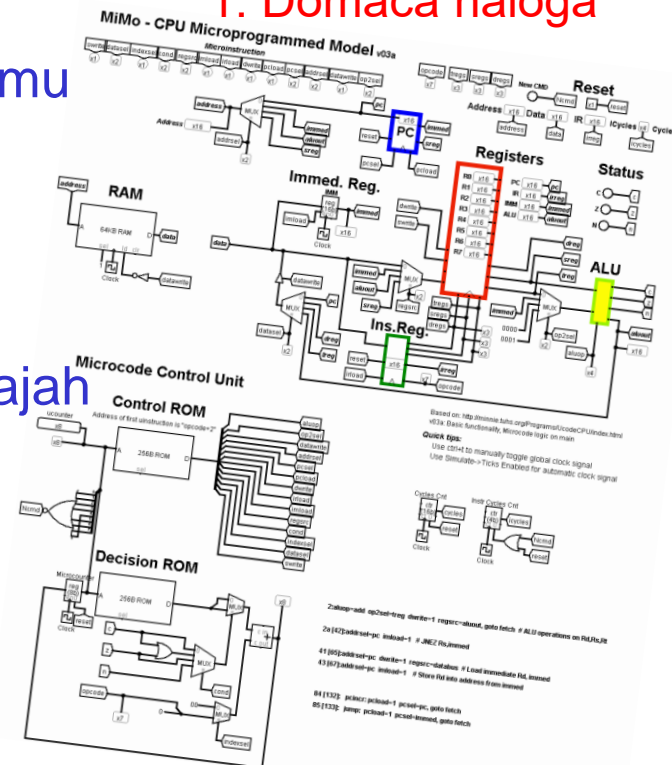
#### Vzpodbujamo (LAPSy):

- **sprotno delo** - sodelovanje na predavanjih, vajah
- **lastno kreativnost in samoiniciativnost**
- **radovednost in aktivnost**

**Vedno dobrodošli !!!!**



#### 1. Domača naloga



# Zakaj OR, HW ?



Make your home healthier,  
your office more productive

Uncover the simple solutions. With just a small, stylish, cordless  
and connected Cube in each room.

Get Your Cubes Now!

Winter 2013 batch available!

**Potato Salad**  
by Zack Danger Brown

Comments 1,127

This project was successfully funded on August 2

Columbus, OH

6,911 backers

**\$55,492**  
pledged of \$10 goal

0 seconds to go



## Chipolo - Bluetooth Item Finder for iPhone and Android

by The Chipolo Team

Home Updates 17 Backers 5,329 Comments 1,611

Funded! This project was successfully funded on November 15, 2013

Trbovlje, Slovenia Technology

Chipolo  
Nothing is lost.



GO:GLOBAL MEMBER | SPS SK200 AUTUMN BATCH 2014

Chipolo

Finalisti tekmovanja Start:up leta 2016

5,329 backers

**\$293,014**  
pledged of \$15,000 goal

0 seconds to go

Project by  
The Chipolo Team  
Trbovlje, Slovenia

First created: 0 backed

Has not connected Facebook



Geoffrey®

74844 GUESTS SERVED

826

backers

**\$256,125**

pledged of \$50,000 goal

0

seconds to go

Funding period

Jul 22, 2013 - Sep 20, 2013 (60 days)

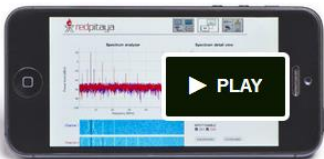
STATE-OF-THE-ART TOOL FOR  
WHICH MAKES THEIR JOB EASIER,  
THE TIME PRESENTS A VALUE  
RESTAURANT; CONSEQUENTLY,  
CONSIDER IT AN EXPENSE BUT AN  
INVESTMENT IN BETTER BUSINESS.

”

is, Thai Inn Pub, Ljubljana



OPEN INSTRUMENTS  
FOR EVERYONE

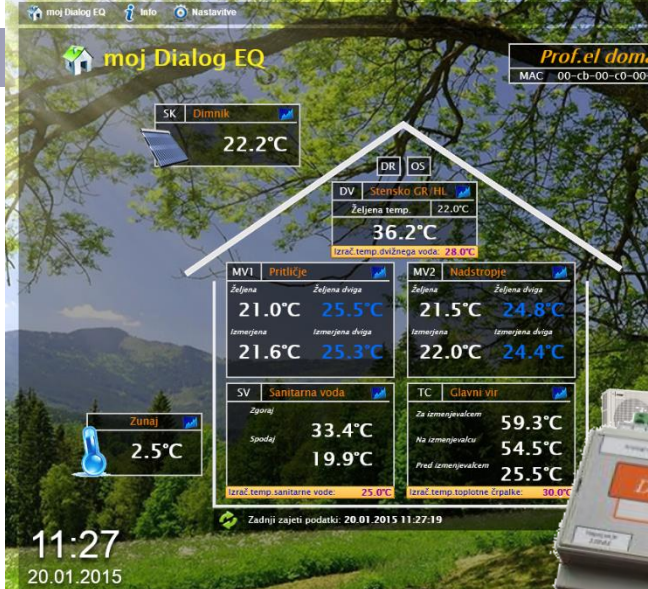


Project by  
Red Pitaya  
Newport News, VA

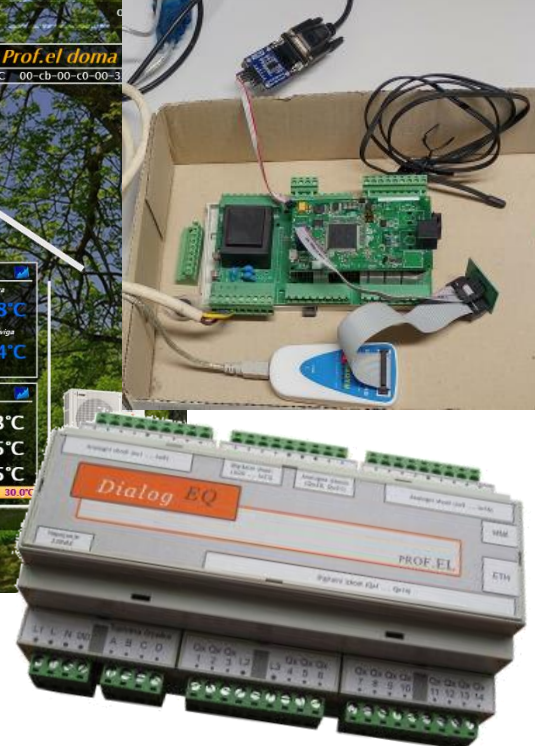
# Primeri vgrajenih sistemov



FRI-SMS



D13 EQ



Tempmate S1



Tevel  
Merilnik konc. plinov



Cubesensor



# Prikaz primerov vgrajenih sistemov - novosti



### ARM® University Program Lab-in-a-Box

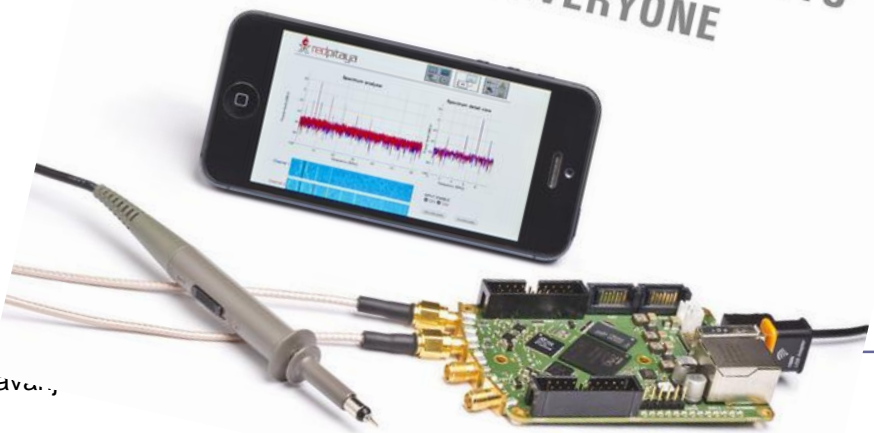
#### Digital Signal Processing with STMicroelectronics STM32F4 Discovery Board and Wolfson® Audio Card

This Lab-in-a-Box contains:

- License(s) for ARM® Keil® MDK Pro development tool
- ARM® Cortex®-M4 based ST Discovery F4 board(s)
- Wolfson Microelectronics audio card(s)
- A full suite of academic teaching, lab and lecture materials



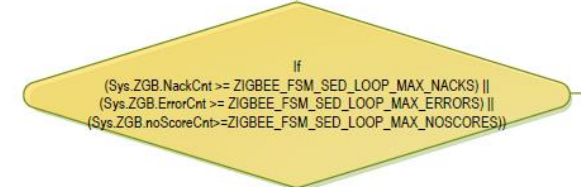
## OPEN INSTRUMENTS FOR EVERYONE



# Programiranje vgrajenih sistemov

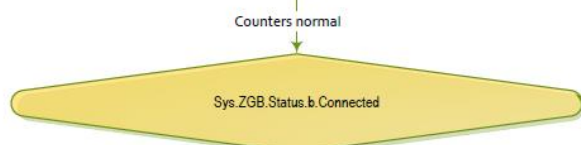
Cubesensors („pametne kocke“):  
Diagram poteka (končni avtomat):  
■ Primer glavnega stanja

```
CUBE_SED_LOOP:  
//<- Reads sensors, sends to Mothercube, expect response message; check errors,NACKS, network  
readSensors(&data); // Read sensors data  
zigbee_send_data(&data); //Send data to base station  
Sys.ZGB.DataMsgCnt++;  
  
if(!scoreUpdate){  
    Sys.ZGB.noScoreCnt++;  
}else{  
    Sys.ZGB.noScoreCnt=0;  
}
```



```
Sys.ZGB.Status.b.Connected = 0;  
Sys.ZGB.noScoreCnt=0;  
SetToSleep( CUBE_REJOIN_SEC, 1)  
// Rejoin Secure procedure !
```

```
CUBE_REJOIN_SEC:  
//<- ReJoin secured: reset counters  
Sys.ZGB.Error = 0;  
Sys.ZGB.ErrorCnt = 0;  
Sys.ZGB.JoinCnt = 0;  
Goto CUBE_REJOIN_SEC_LOOP;
```

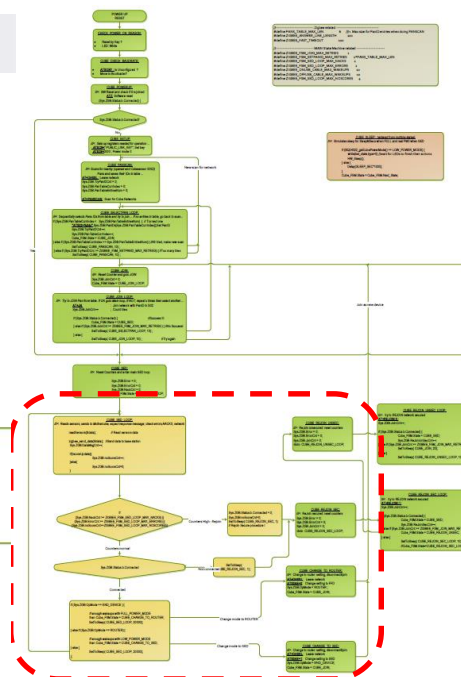


```
SetToSleep(  
    Not connected/CUBE_REJOIN_SEC, 1);
```

```
CUBE_CHANGE_TO_ROUTER:  
//<- Change to router: setting, disconnect&join  
AT+DASSL: Leave network  
ATS0AE=0: Change setting to FFD  
Sys.ZGB.OpMode = ROUTER;  
Cube_FSM.State = CUBE_JOIN;
```

```
if (Sys.ZGB.OpMode == END_DEVICE) {  
    // If enough wakeups with FULL_POWER_MODE  
    then Cube_FSM.State = CUBE_CHANGE_TO_ROUTER;  
    SetToSleep( CUBE_SED_LOOP, 20000);  
} else if (Sys.ZGB.OpMode == ROUTER) {  
    // If enough wakeups with LOW_POWER_MODE  
    then Cube_FSM.State = CUBE_CHANGE_TO_SED;  
} else {  
    SetToSleep( CUBE_SED_LOOP, 20000);  
};
```

```
CUBE_CHANGE_TO_SED:  
//<- Change to router: setting, disconnect&join  
AT+DASSL: Leave network  
ATS0AE=1: Change setting to SED  
Sys.ZGB.OpMode = FFD;  
Cube_FSM.State = CUBE_JOIN;
```



Primer: Cube State Chart v2.pdf

# Zakaj zbirnik ?

[Dejan Črnica, Dewesoft]:

„ker se je „vljudno“ naučiti domačega jezika, kulture ...“

Past Meetup

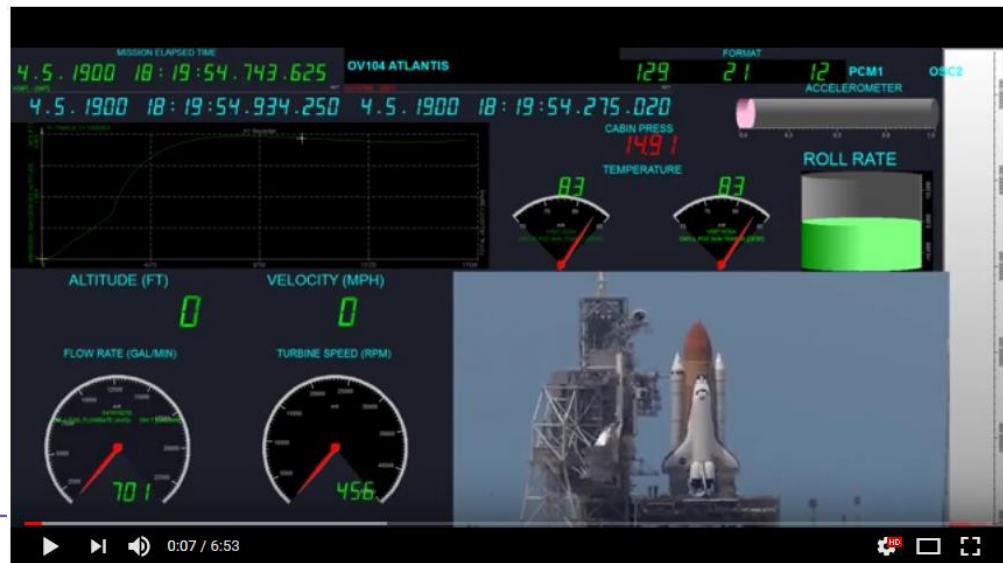
## Code optimization on modern processors [Dejan Črnica, Dewesoft]

„pri nas v podjetju vsi razvijalci „govorijo“ v zbirniku...“

Code optimization is important but often overlooked part of a software project. In this talk we will dive deep and discuss when and why to optimize code, how to approach optimization and how to design data structures and algorithms for scalable performance.

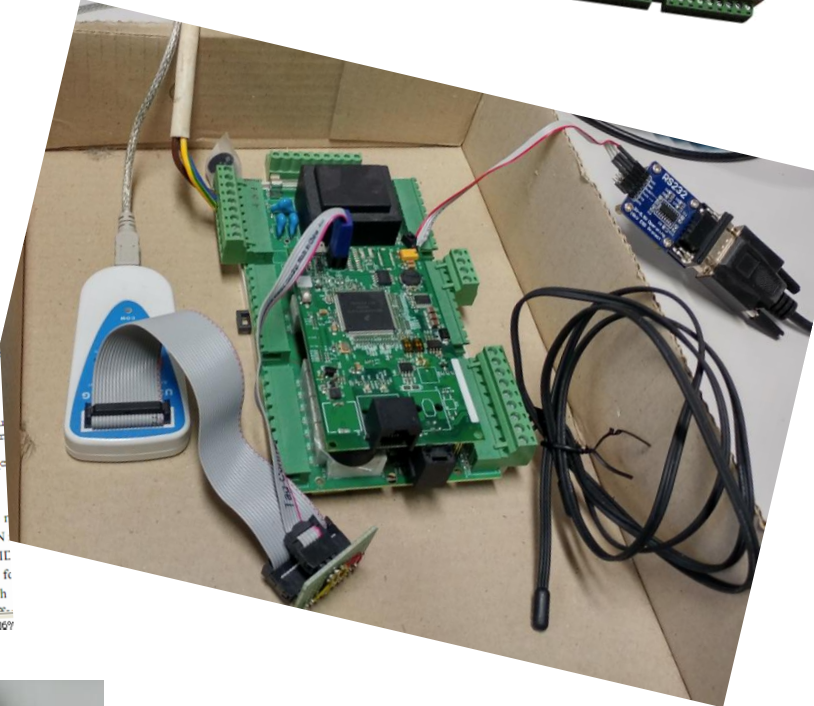
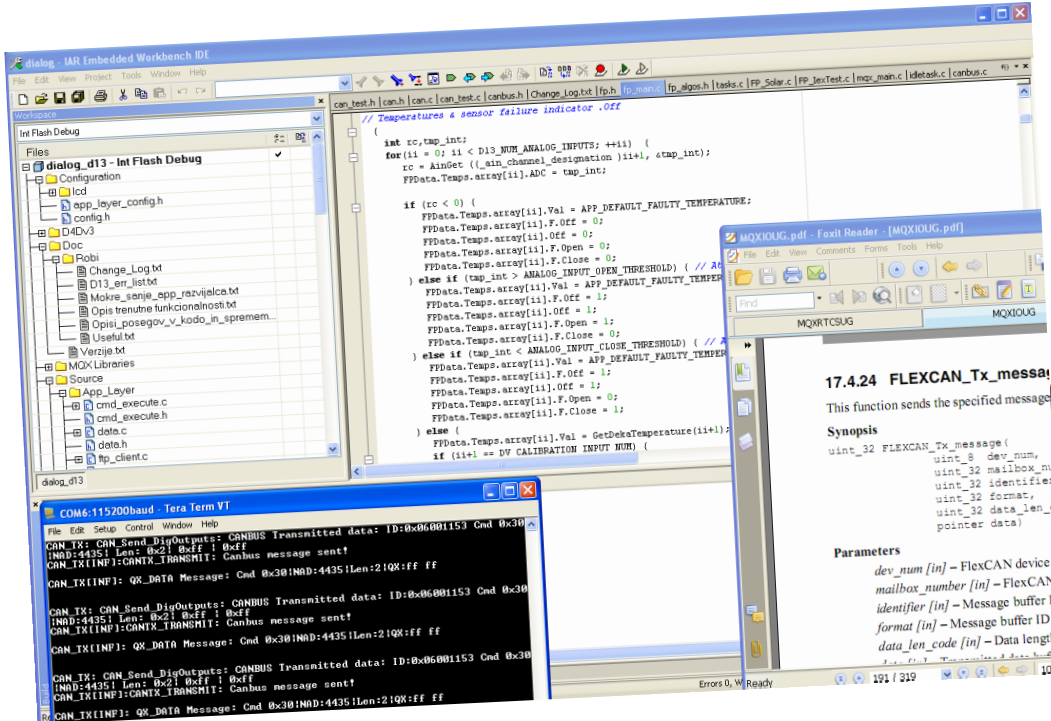
„s poznavanjem sistemov in zbirnika lahko pohitrimo kodo tudi **64x** !!!...“

Dejan Črnica Dejan Črnica is lead software engineer at Dewesoft (<https://www.dewesoft.com/careers>) since 2001. He has designed and implemented core modules of Dewesoft application with particular focus on application performance to keep software in front of competition.





# Prikaz razvojnega „okolja“ za vgrajene sisteme



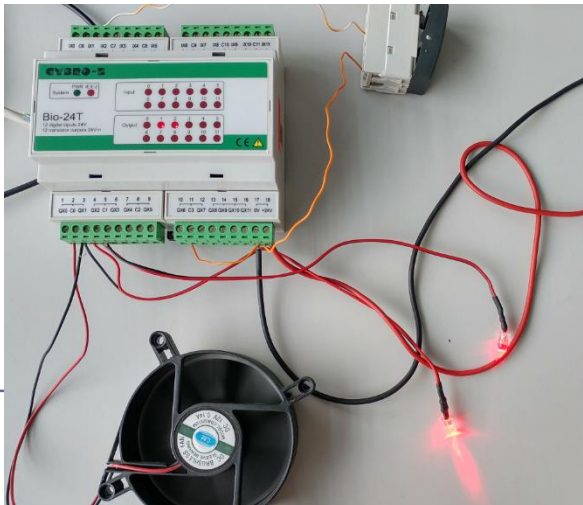
17.4.24 FLEXCAN\_Tx\_message  
This function sends the specified message

Synopsis

```
uint_32 FLEXCAN_Tx_message(  
    uint_8 dev_num,  
    uint_32 mailbox_num,  
    uint_32 identifier,  
    uint_32 format,  
    uint_32 data_len,  
    pointer data)
```

Parameters

- dev\_num [in] – FlexCAN device number
- mailbox\_number [in] – FlexCAN mailbox number
- identifier [in] – Message buffer ID
- format [in] – Message buffer ID format
- data\_len\_code [in] – Data length



## Način dela:

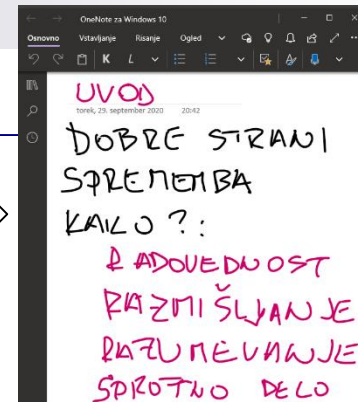
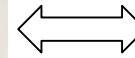
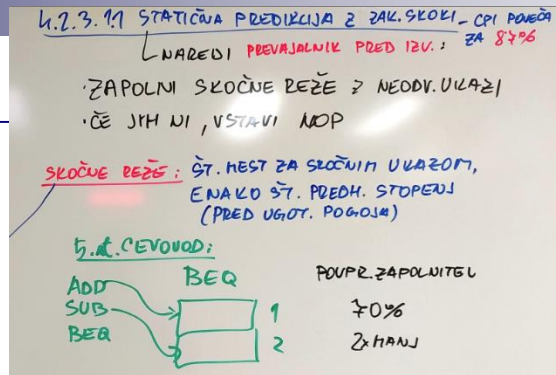
### ■ predavanja:

- delovna prezentacija,
- objavljena prezentacija

- obširnejša
- ni samozadostno gradivo !

### ■ LAB vaje:

- poglobitev znanja zbirnika (simulator), 1. preverjanje
- delo z napravami na FRISMS (HW), 2. preverjanje
- praktična naloga z uporabo orodij, DN 2



#### 4.2.3.1.1 Statična predikcija z zakasnenimi skoki („delayed branch“)

Skuša prevajalnik (med prevajanjem) napovedati izid skoka:

- napoved se ne spreminja več („statična“)

Skočne reže :

- ukazi, ki sledijo skoku so v t.i. skočnih režah
- št. skočnih rež je enako številu stopenj cevovoda pred aktivno (EX) stopnjo (2)

Vstavitev ukazov v skočne reže:

- ukazi ne smejo vplivati na izid skoka
- če ni primernih, vstavi NOP-e

*Dvosmerna komunikacija (2021 še posebej !)*

# Pogovor

- Vaša pričakovanja ?
- Način dela ?
- Logisim ?
- ARM, Cortex M, zbirnik, vgrajeni sistemi, podatkovne listine, programiranje, razhroščevanje, preizkušanje...
- Anketa & aktivno sodelovanje

# 1. Uvod v organizacijo računalnikov in digitalna vezja

Poudarki poglavja :

- opredelitev pojmov rač. arhitekture in organizacije
- funkcionalni, nivojski pogled na zgradbo računalnika
- računalnik na nivoju digitalne logike :
  - digitalna vezja -> log. vrata -> tranzistor (osnovni gradnik)
  - VLSI – digitalna vezja visoke integracije
    - postopek njihove izdelave
    - problemi in težave

# 1. Uvod v organizacijo računalnikov in digitalna vezja

## 1.1 Splošni pojmi

Def: Arhitektura računalnika je

- obravnava za programerja vidnih lastnosti računalnika na način, ki je neodvisen od njegove logične in fizične realizacije [Kodek]
  - „... kot vidi programer na nivoju strojnega jezika ...“

Def: Organizacija (tudi mikroarhitektura) :

- obravnava logično zgradbo in lastnosti sestavnih delov računalnika in njihovih medsebojnih povezav [Kodek]
  - „ ... je arhitektura posameznih delov ...“
  - „ ... je bližje HW nivoju ...“

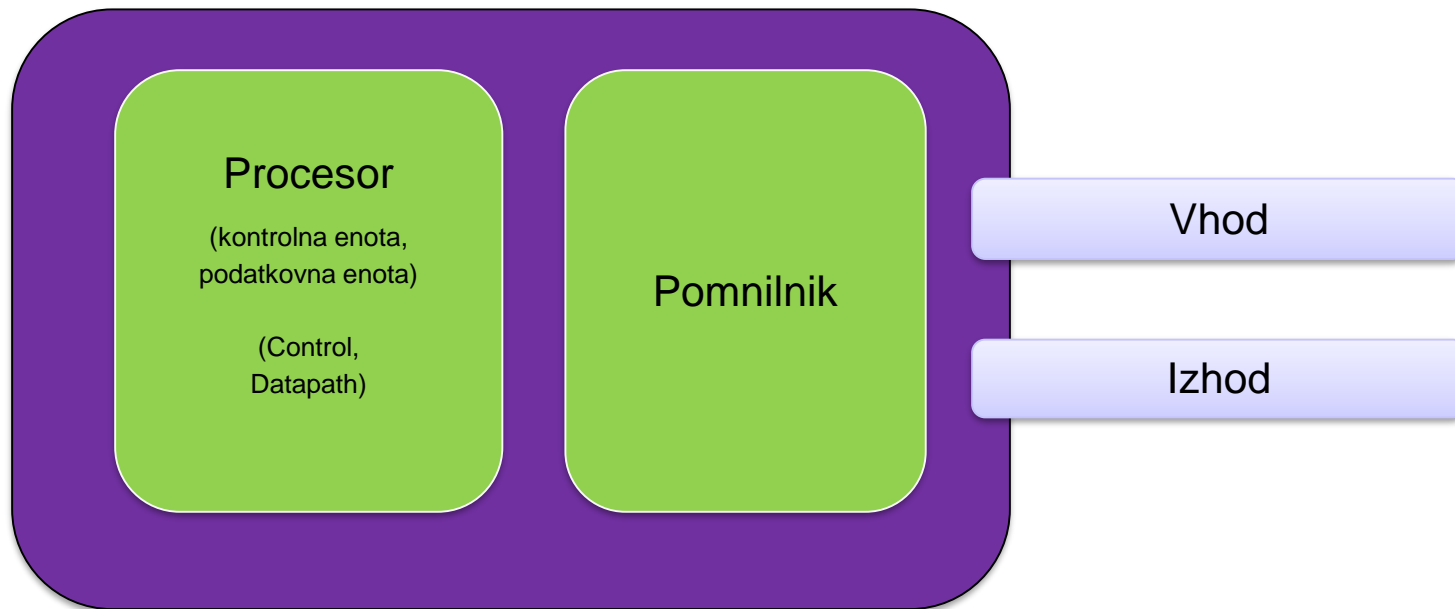
Neka arhitektura se lahko realizira z različnimi vrstami organizacije.  
(lahko tudi obratno – mikroprogramiranje – IBM)



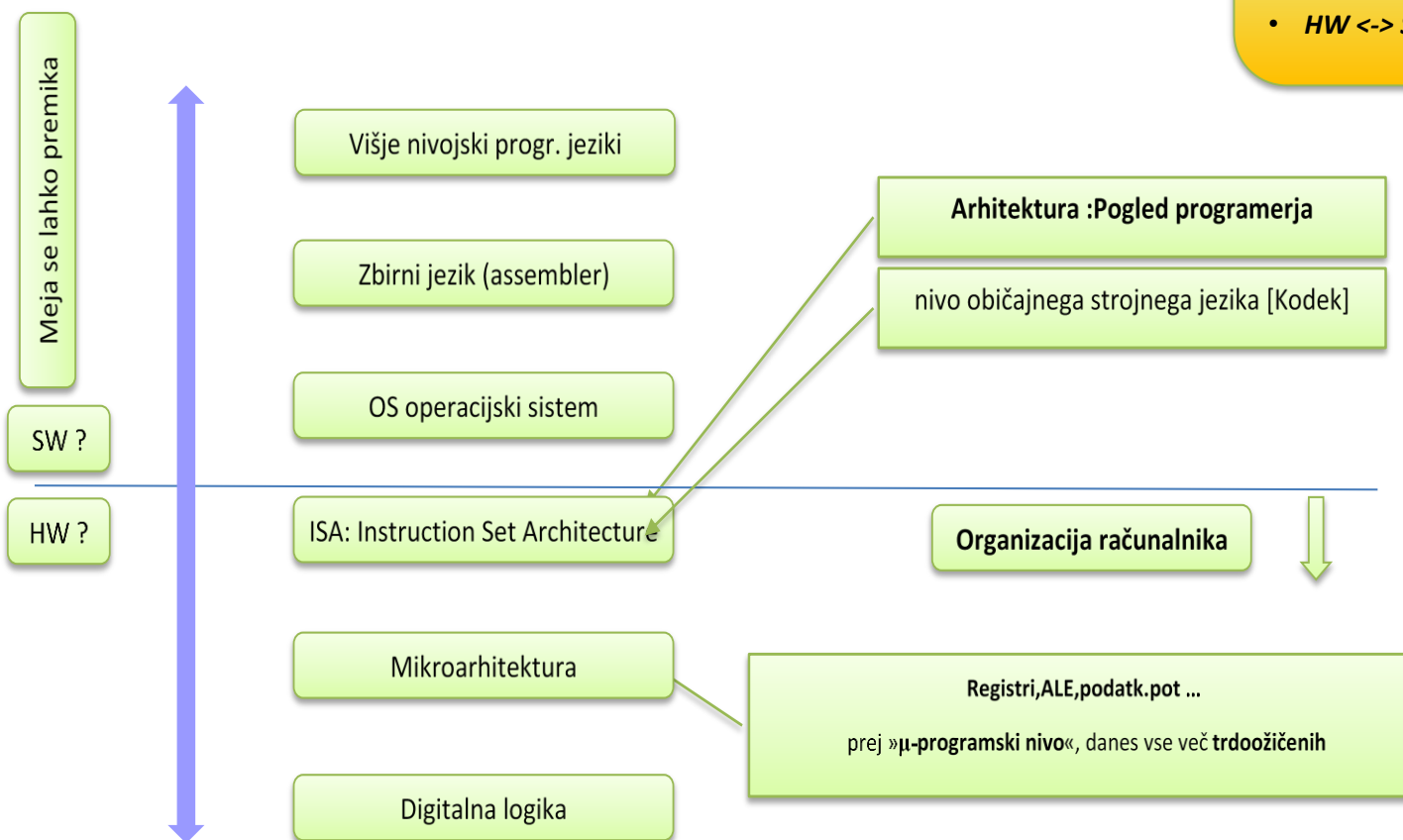
# 1.2 Zgradba in organizacija računalnika

Mogočih več različnih pogledov,  
izpostavimo 2 najbolj zanimiva :

## 1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]



## 1.2.2 Nivojska zgradba računalnika [Tanb, str. 5-8]



### Diskusija :

- *Prevajanje, interpretiranje, prenosljivost programov*
- *HW <-> SW*

## 1.3 Računalnik na nivoju digitalne logike

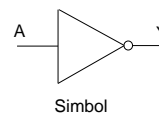
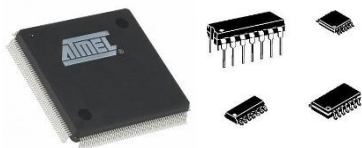
### ■ Računalnik :

- sestavljen iz digitalnih (logičnih, preklopnih) vezij :

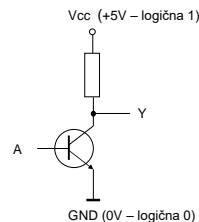
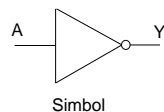


### ■ digitalna vezja sestavljena iz logičnih vrat:

- (seštevalnik, ALU, ...)



- logična vrata realizirana z elektronskimi elementi



# 1.3 Računalnik na nivoju digitalne logike

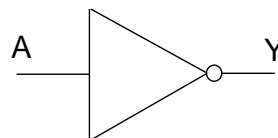
## 1.3.1 Osnove digitalnih vezij

Logična vrata realiziramo z elektronskim vezjem:

- logični stanji 0,1 <-> napetostni nivoji  $\approx 0V, \approx 3.3V(5V)$
- osnovni gradnik

**Matematični  
ideal**

**matematični (logični) pogled:** logična vrata

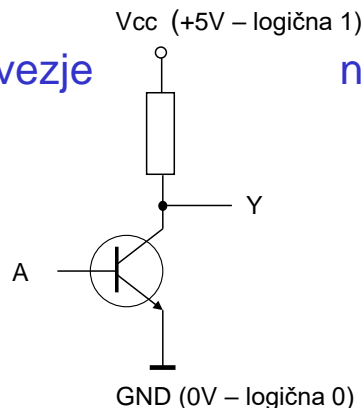


Simbol

logični nivoji 0,1

**elektronska realizacija :**

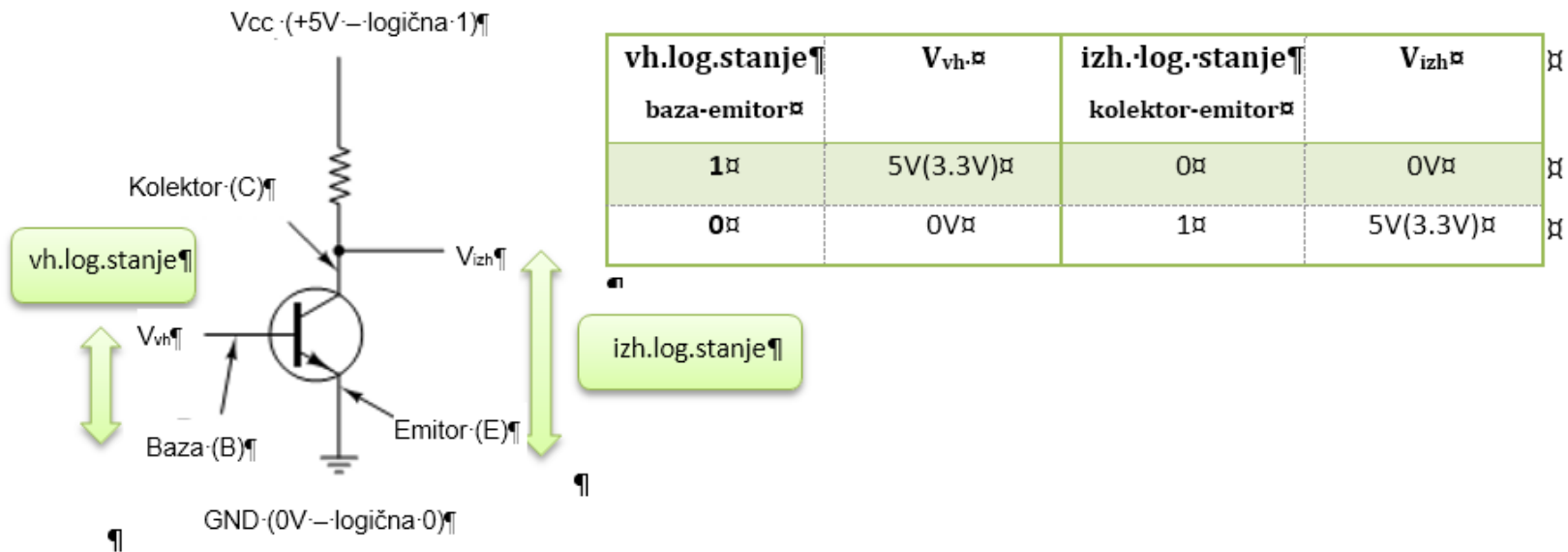
elektronsko vezje



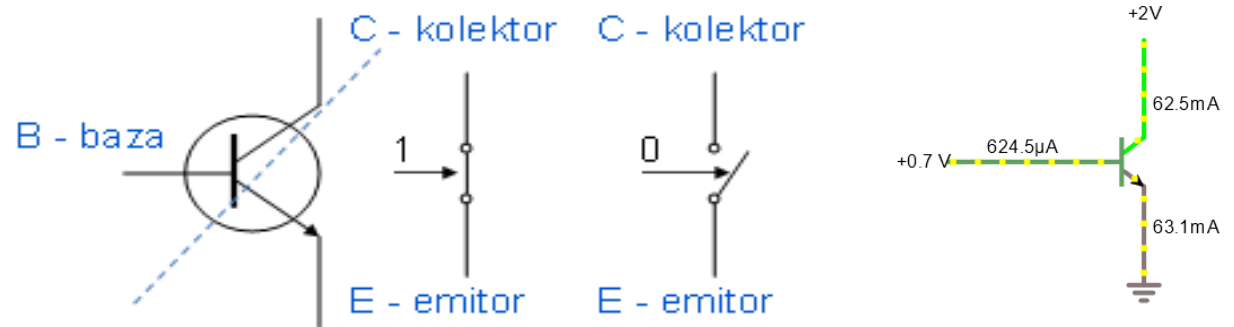
napetostni nivoji  $\approx 0V, \approx 3.3 (5) V$

**Elektronska  
realnost**

# 1.3.1.1 Osnovni gradnik digitalnih vezij – tranzistor kot stikalo



tranzistor kot stikalo



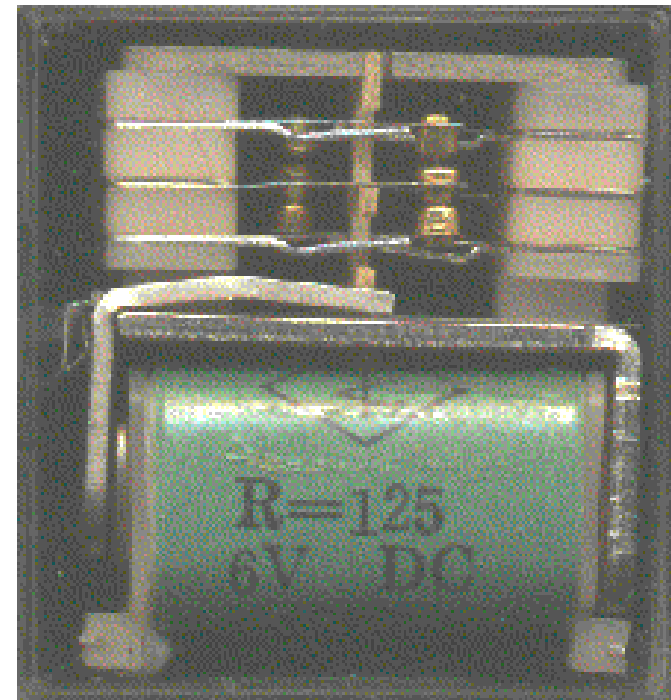
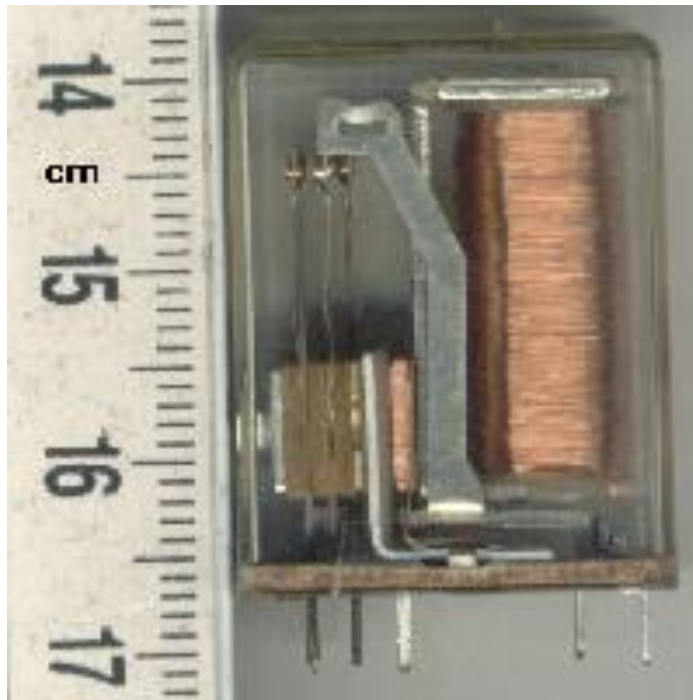
<http://www.indiabix.com/electronics-circuits/npn-transistor-bipolar/>

<http://www.falstad.com/circuit/e-npn.html>

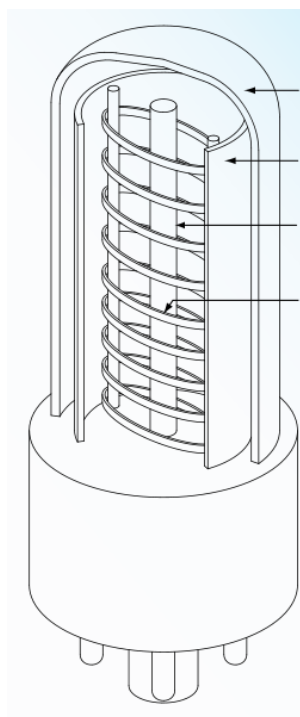
## 1.3.1.2 Realizacije stikala v digitalnih vezjih

Ponovitev iz predmeta RA

- Rele, leto 1939, čas preklopa 1-10ms ( $\text{ms} = 10^{-3} \text{ s}$ )



- Elektronka 1945 - 1955, čas preklopa  $\sim 5\mu\text{s}$  ( $\mu\text{s}=10^{-6}$  s)

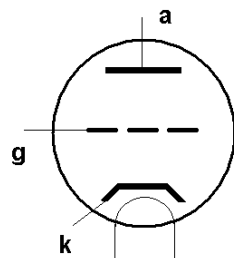


Stekleno ohišje

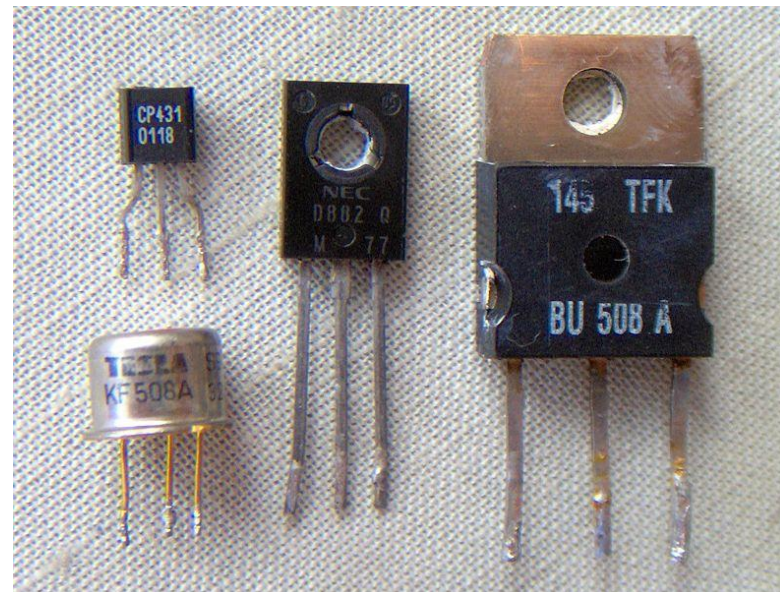
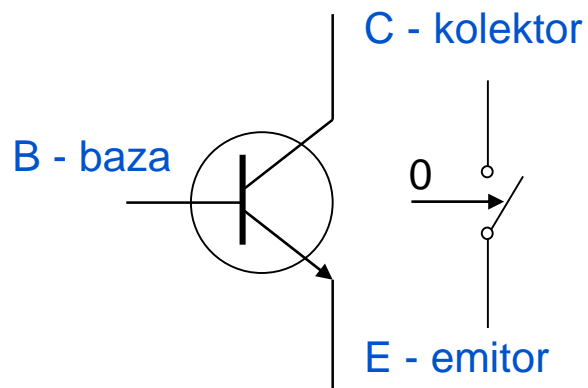
Anoda

Katoda

Mrežica

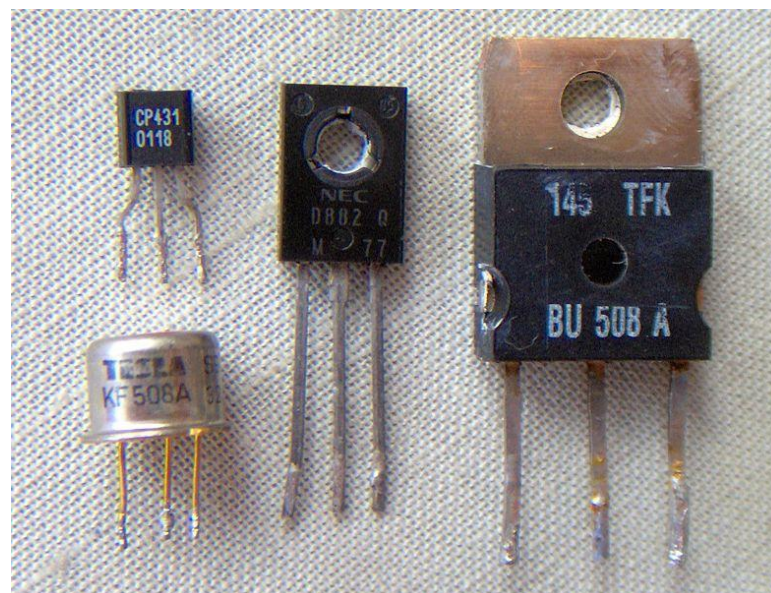
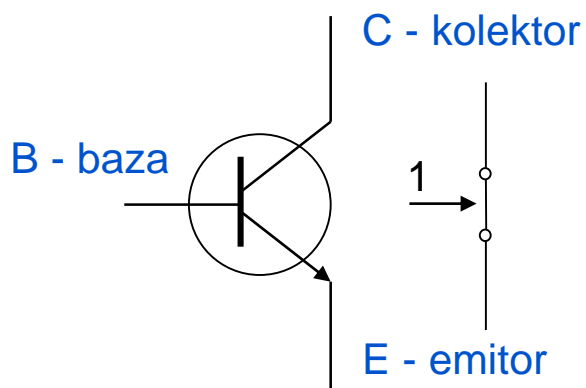


- Tranzistor, 1955 -> , čas preklopa  $\sim 10\text{ns}$  ( $\text{ns}=10^{-9}\text{ s}$ )

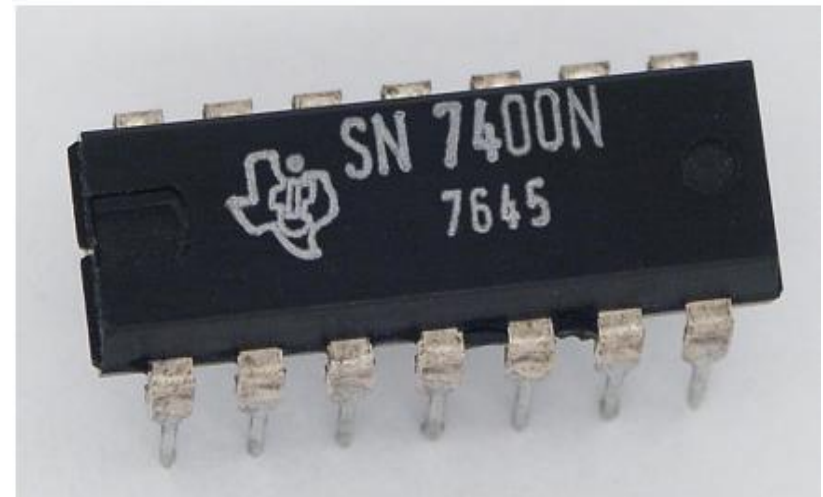
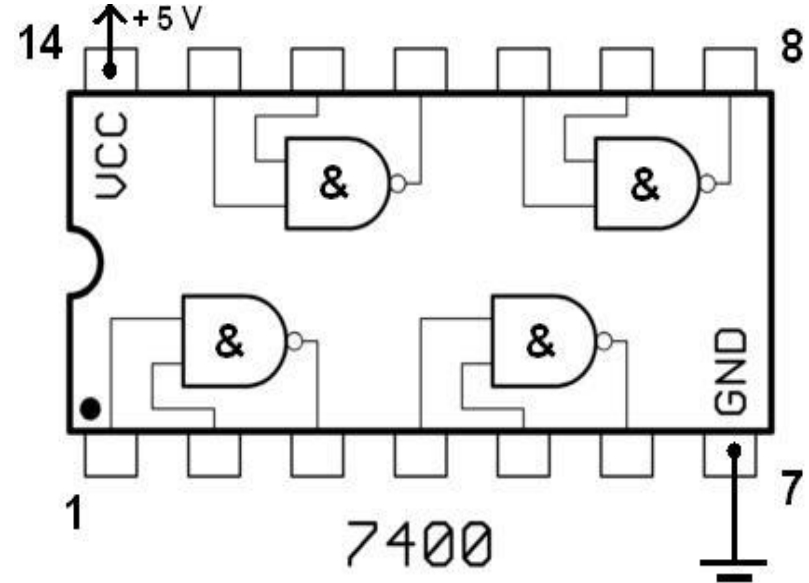




- Tranzistor, 1955 -> , čas preklopa  $\sim 10\text{ns}$  ( $\text{ns}=10^{-9}\text{ s}$ )

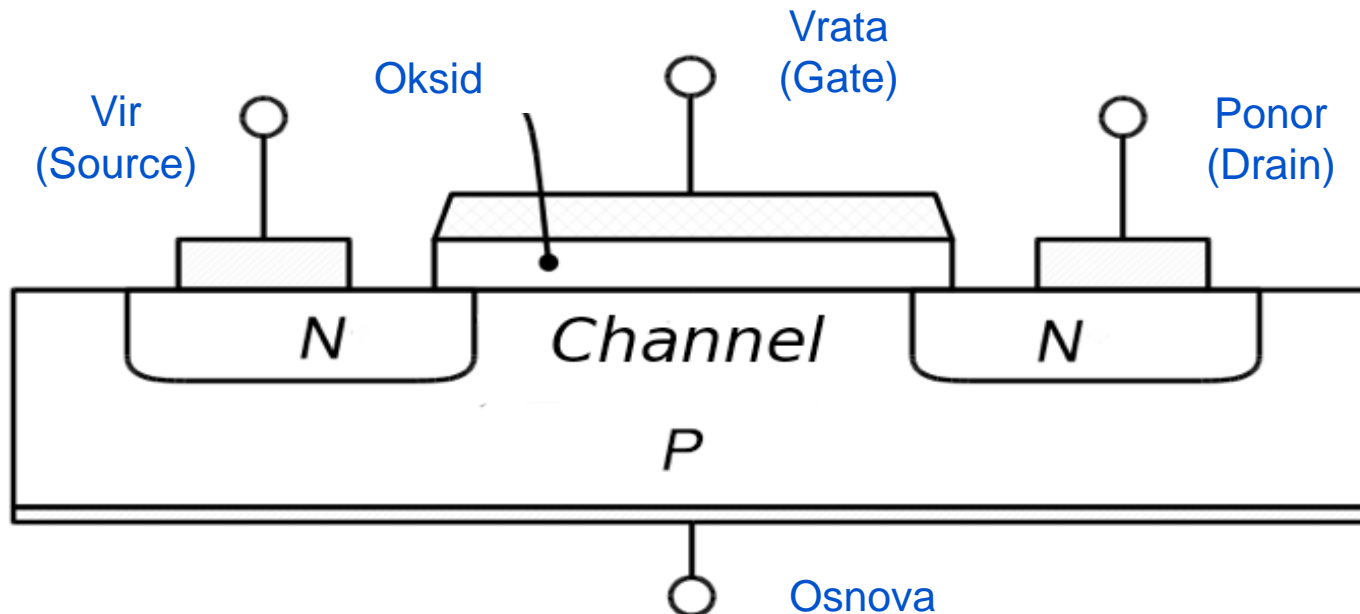


- Tranzistor v integriranih vezjih (TTL od konca 60.let)
  - čas preklopa  $< 10\text{ns}$

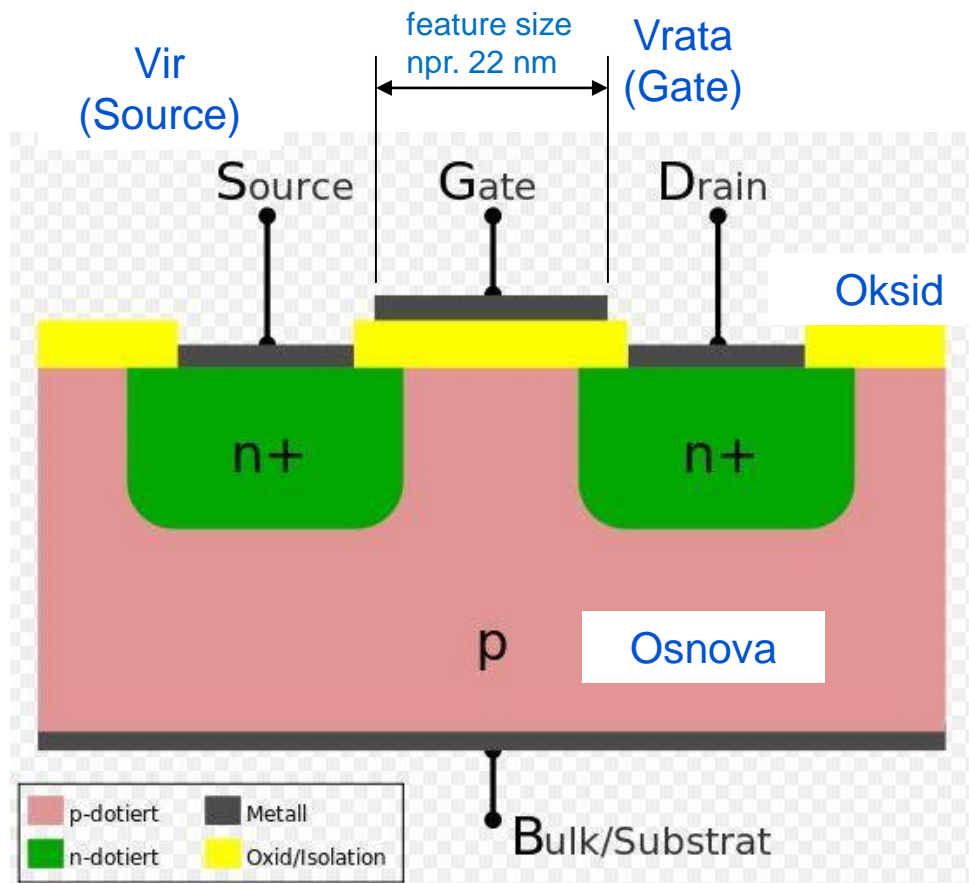


- Tranz. v VLSI integriranih vezjih
  - MOSFET, čas preklopa  $< 0,1\text{ns}$

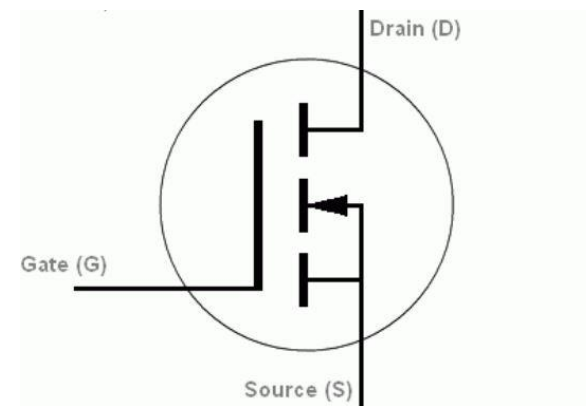
Ponovitev iz predmeta RA



# Tranzistor kot del integriranega vezja



Ponor (Drain)



## 1.3.1.2 Realizacija stikala v digitalnih vezjih

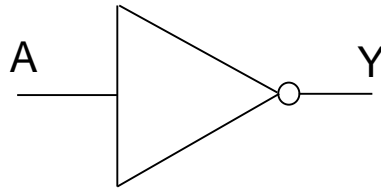
*Ponovitev iz predmeta RA*

Leto	Stikalo	Preklopni čas
1939	Rele	1-10ms
1945-1955	Elektronka	~5 $\mu$ s
1955	tranzistor	10ns
Konec 60. let	tranzistor v TTL digit.vezjih	2-10ns
1980	VLSI	<0,1ns

## 1.3.2 Realizacija logičnih vrat

Ponovitev iz predmeta RA

### 1.3.2.1 Realizacija logične funkcije NEGACIJA (NOT)



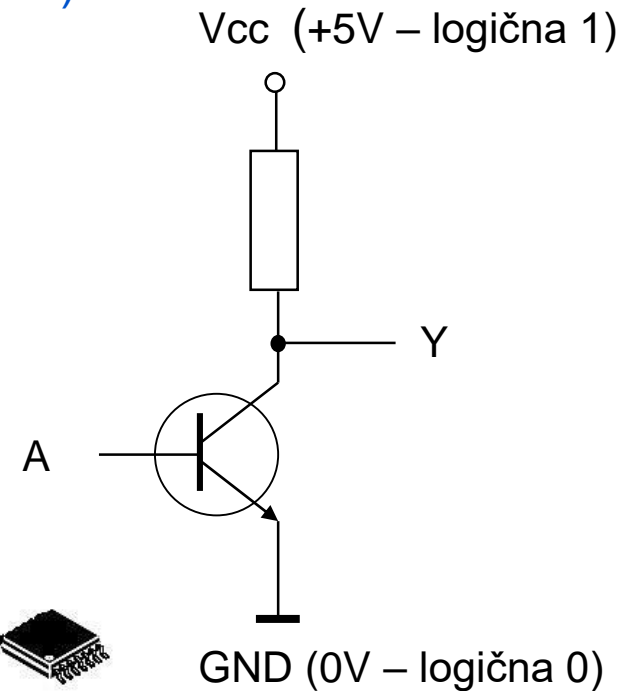
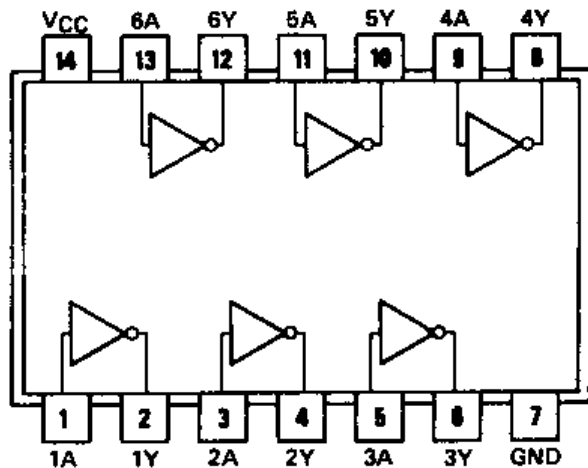
Simbol

A	Y
0	1
1	0

Pravilnostna tabela

### IC (Integrated Circuit) s 6 negatorji

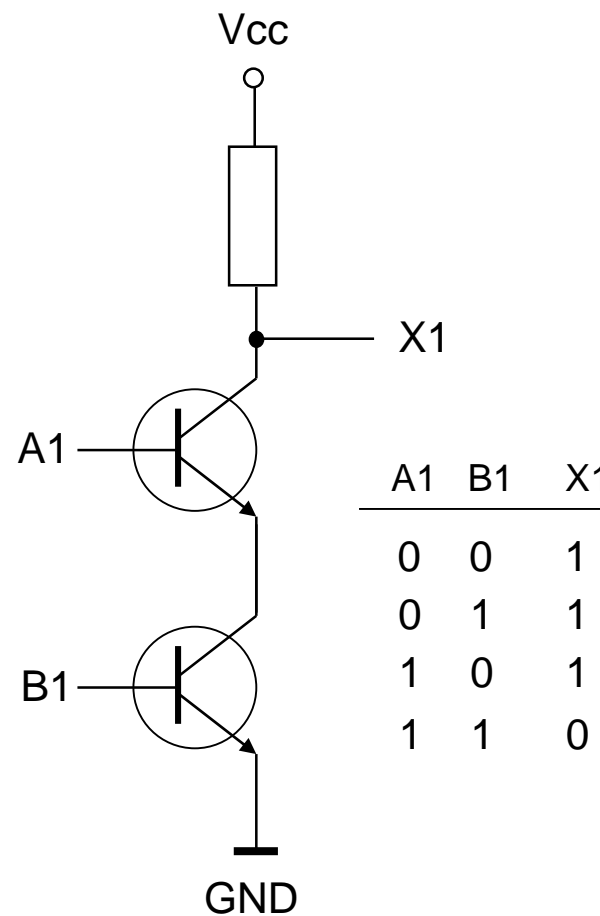
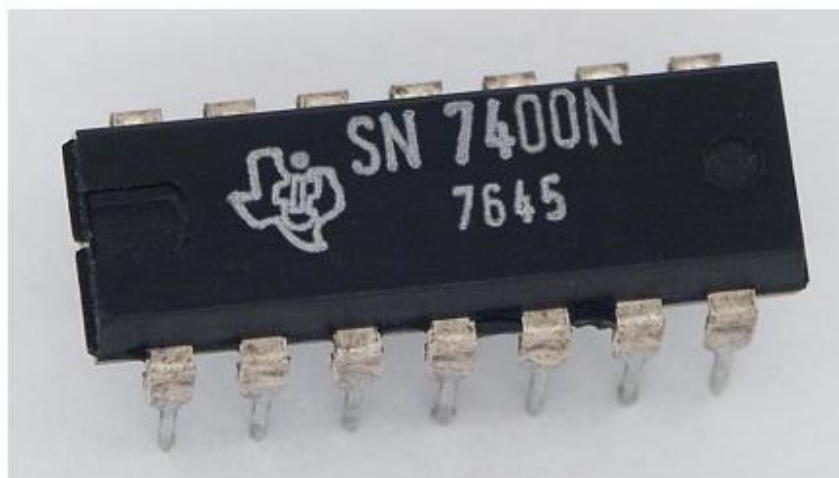
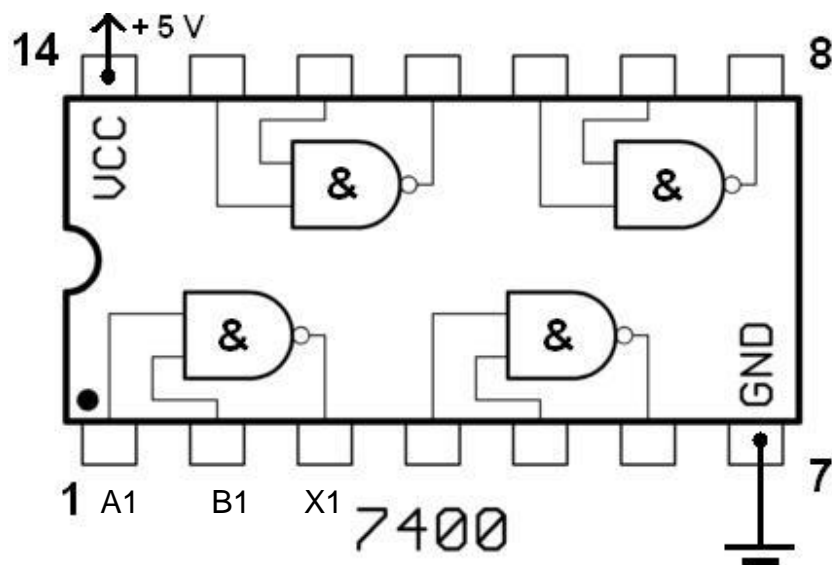
**7406**



<http://www.indiabix.com/electronics-circuits/npn-transistor-bipolar/>

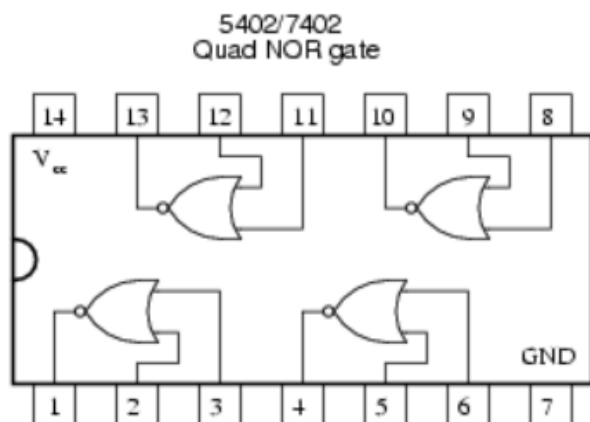
<http://www.falstad.com/circuit/e-npn.html>

### 1.3.2.2 Realizacija logične funkcije NAND (Negirana konjunkcija)

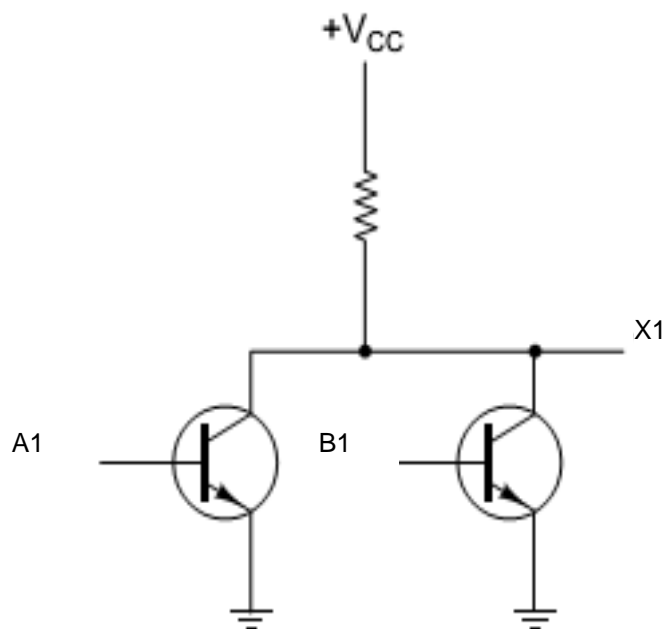


Logisim: pullup\_nor\_nand.circ

### 1.3.2.3 Realizacija logične funkcije NOR (Negirana disjunkcija)



A1	B1	X1
0	0	1
0	1	0
1	0	0
1	1	0



Logisim: pullup\_nor\_nand.circ



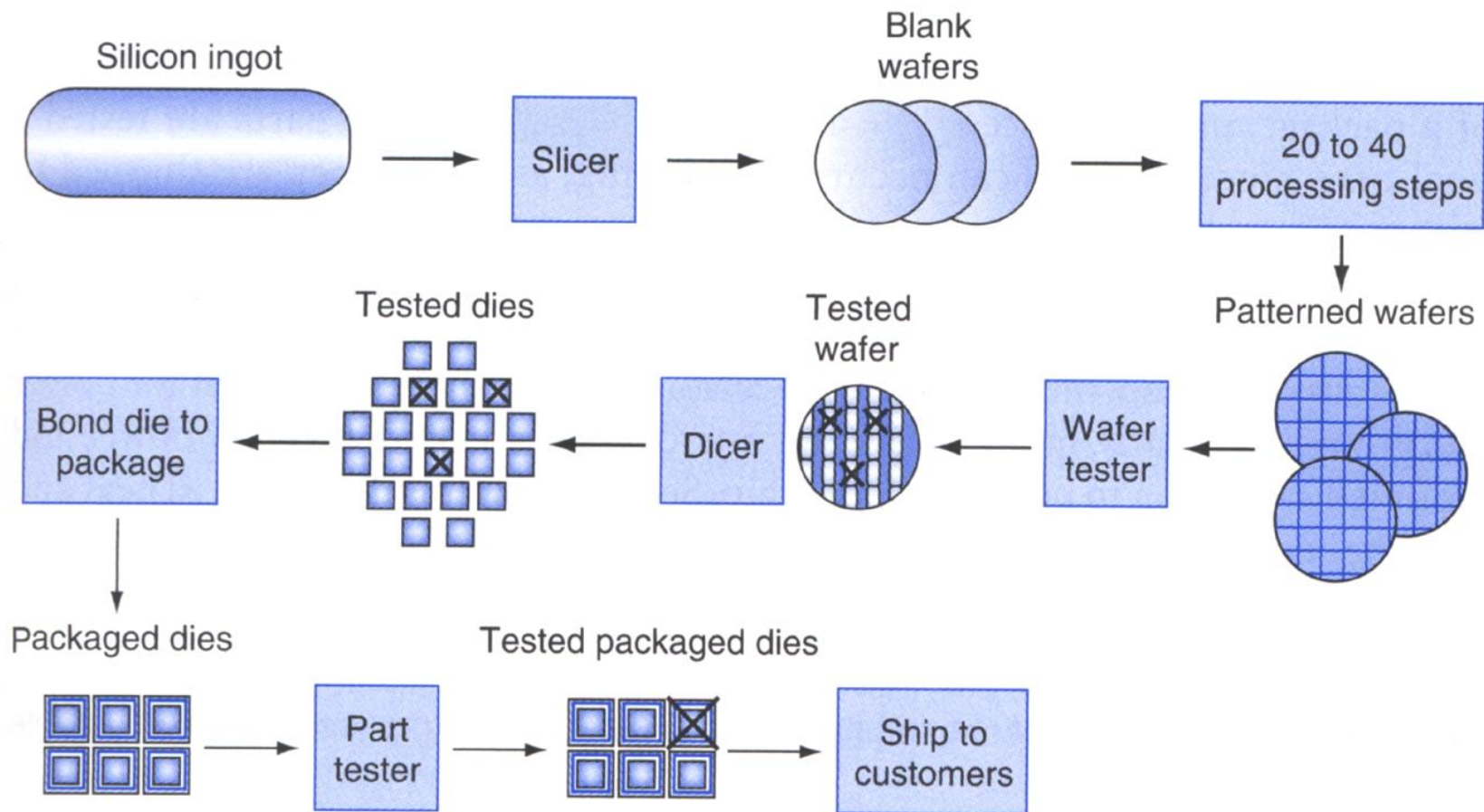
## 1.3.3 Digitalna vezja visoke stopnje integracije - VLSI



### 1.3.3.1 Razvoj digitalnih vezij

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov
SSI	60. leta	nekaj 10	1-10
MSI	pozna 60. leta	nekaj 100	10-100
LSI	zgodnja 70. leta	nekaj 1000	100-100000
VLSI	1980->	nekaj 100000	nad 100000
	1986	1 milijon	
Pentium 4	2002	55 milijonov	
	2005	1 milijarda	
<u>Xeon Westmere-EX – 10 cores</u>	2012	>2.5 milijarde	
Ivy Bridge-EX-15	Q3/2013	4.3 milijarde	
22-core <u>Xeon Broadwell-E5</u>	2016	7,2 milijard	
<u>SPARC M7</u>	? (Q2/2015)	>10 milijard	
AMD Epyc	2017 (2019)	>19 milijard (32 milijard)	
Wafer Scale Engine 2	2021	2.6 triljona	*namenski AI čip

### 1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij

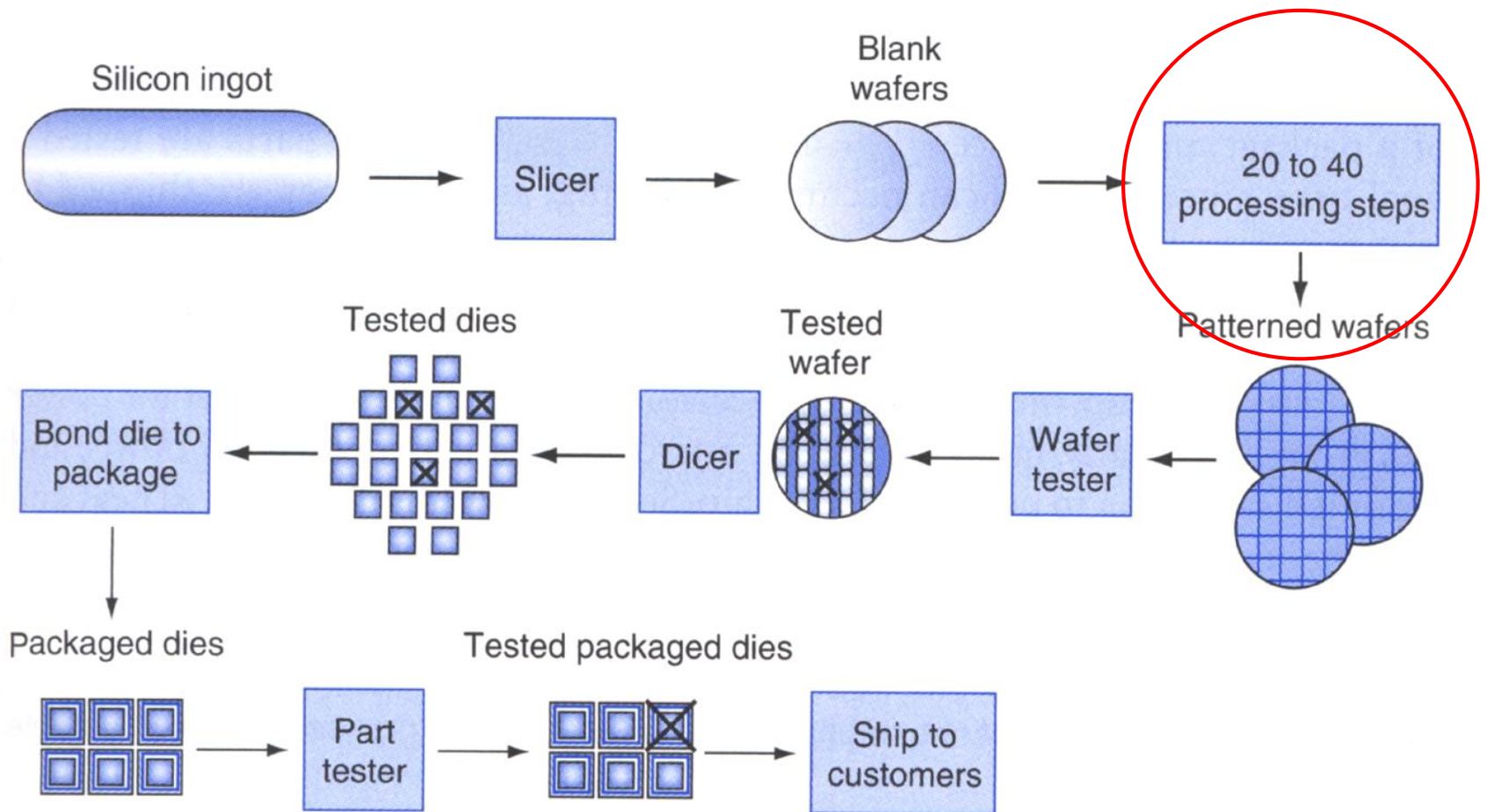


David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

- Priprava->Ingot -> rezalnik -> rezine, „wafers“



### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

- V 20 do 40 procesnih korakih se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
  - tranzistorji,
  - povezave in
  - izolatorji.

## Faze procesnega koraka :

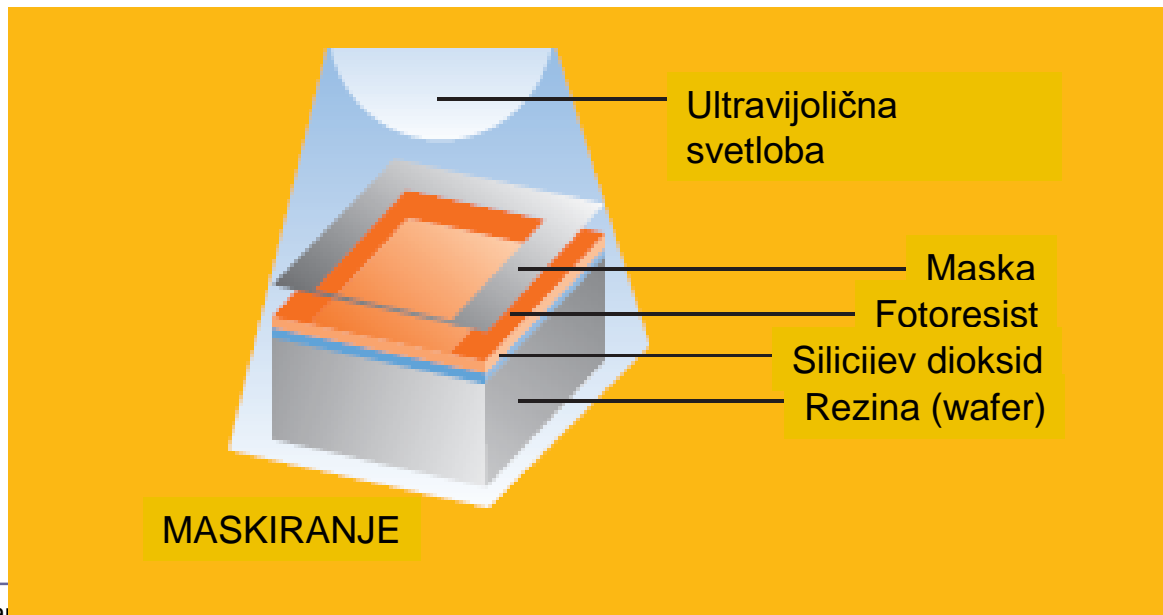
### 1. Izolacija in prekrivanje

- Na površini rezine se z dodajanjem kisika pri temp. 1000 do 1200 °C najprej ustvari izolacijska plast silicijevega dioksida.
- Površina se nato prekrije s svetlobno občutljivo snovjo – fotoresist, ki se pod vplivom svetlobe raztopi.

## Faze procesnega koraka :

### 2. Maskiranje

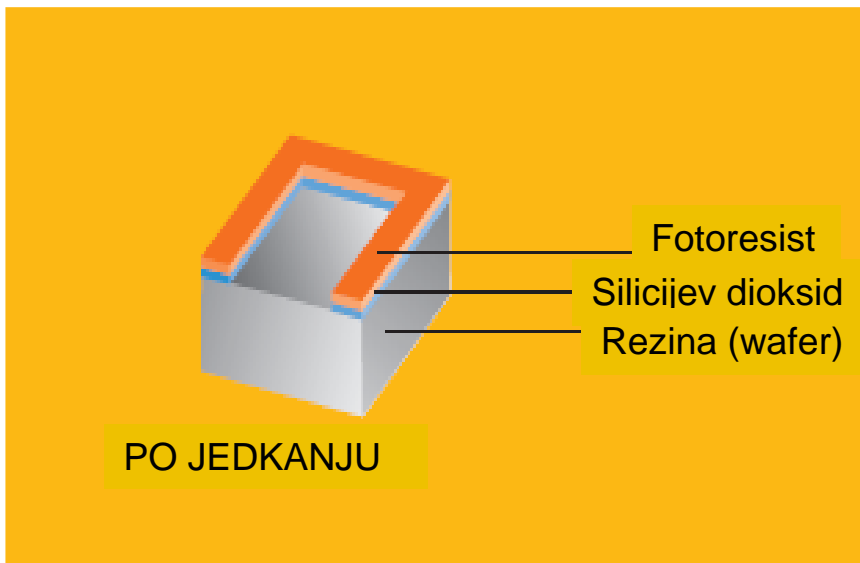
- Maska, ki se oblikuje pri načrtovanju vezja, se s fotolitografskim postopkom nanese na površino in določa obliko vezja v določeni plasti čipa.
- Za pozicioniranje maske na rezino so potrebne izredno precizne naprave – stepperji.
- Steper z ultravijolično svetlobo osvetli dele površine, ki niso pokriti z masko.
- Osvetljeni predeli fotoresista se spremenijo v raztopljeno lepljivo plast.



## Faze procesnega koraka :

### 3. Jedkanje

- Osvetljeni deli fotoresista se odstranijo in odkrijejo plast silicijevega dioksida, ki je tako na teh delih nezaščiten.
- Z jedkanjem se ti nezaščiteni deli silicijevega dioksida odstranijo, na rezini pa ostanejo vzorci silicijevega dioksida

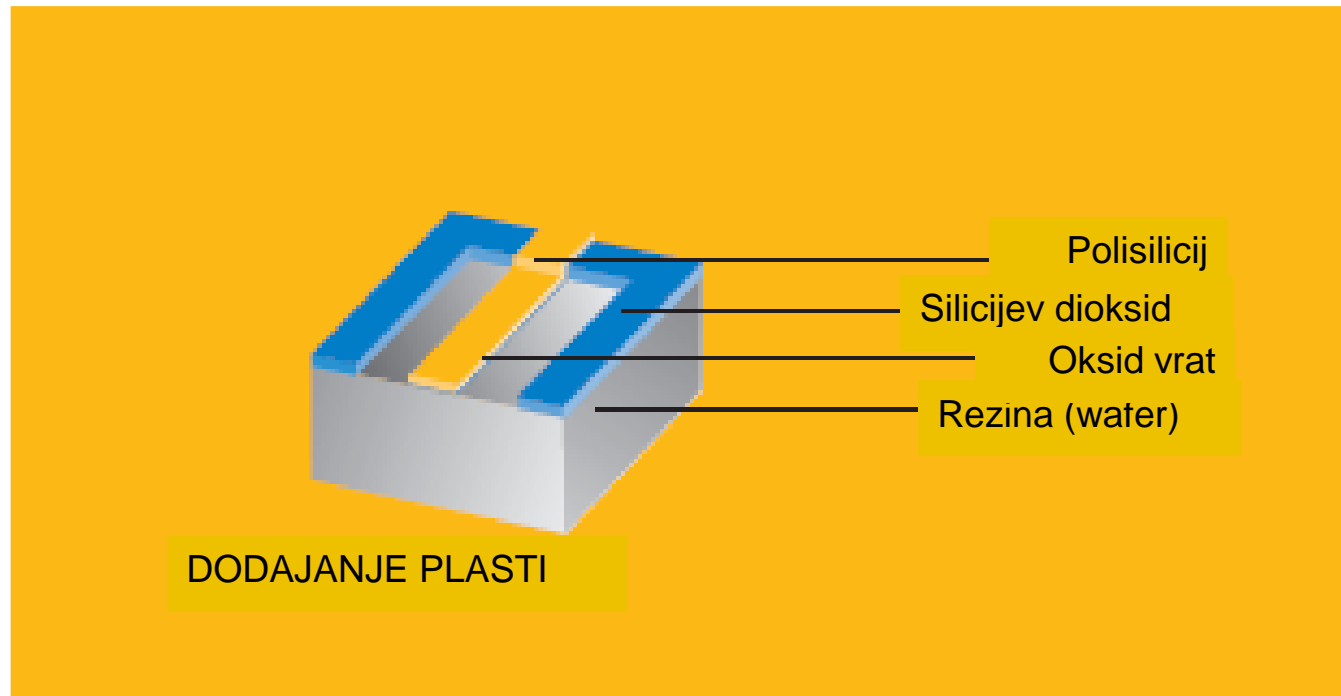




## Faze procesnega koraka :

### 4.a Dodajanje plasti (povezave, priključki, ...)

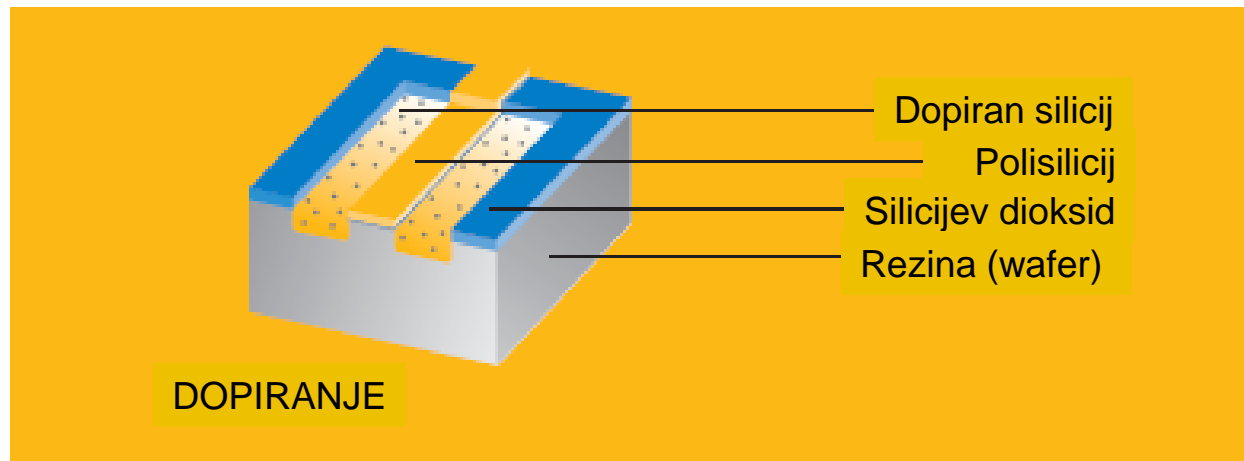
- Dodatni materiali, kot npr. polisilicij (silicij, sestavljen iz manjših kristalov), ki prevaja električni tok, se nanašajo na rezino z nadaljnjim maskiranjem in jedkanjem.
- Tako se na rezino nanese in delno odstrani več plasti, ki imajo vsaka drugačen vzorec in tvorijo tranzistorje in povezave med njimi.



## Faze procesnega koraka :

### 4.b Dopiranje (difuzija) – za tvorbo tranzistorjev

- Izpostavljena področja se bombardirajo z ioni različnih materialov, največkrat bora, fosforja ali arzena (nečistoče).
- Ti ioni prodirajo skozi kristalno mrežo silicija in spremenijo električne lastnosti na teh področjih.
- Dopiranje “spremeni čisti silicij v tranzistor”, ki lahko pod vplivom krmilnega signala prevaja električni tok ali pa ne – deluje kot stikalo in tako predstavlja binarno 1 ali 0.



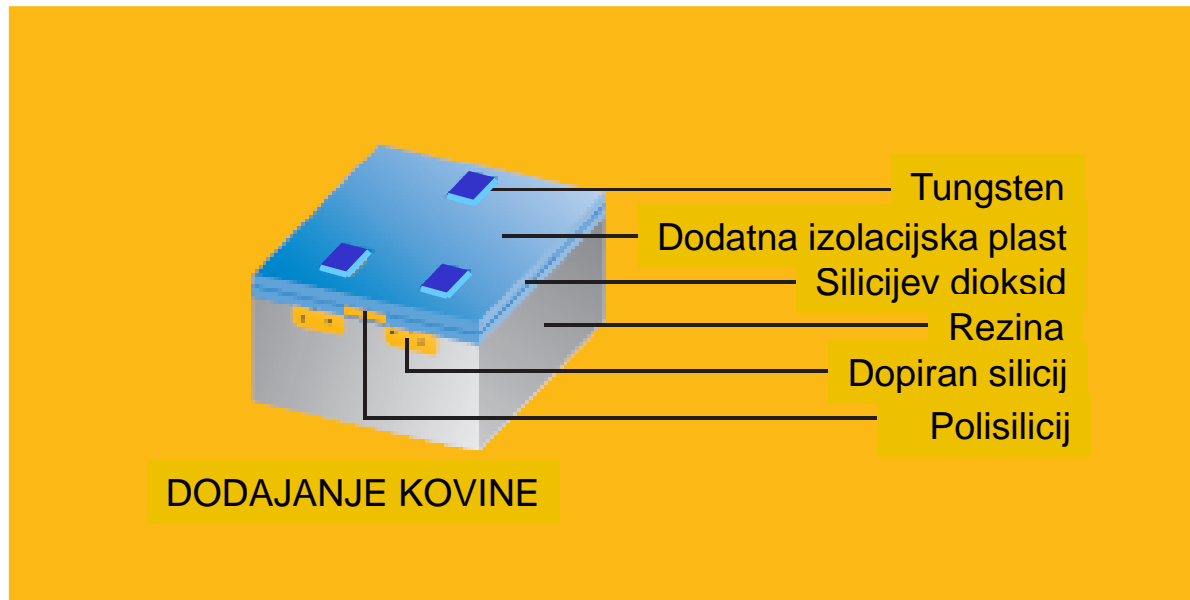
## Faze procesnega koraka :

### 4.c Oblikovanje kontaktov

- Za povezave med posameznimi plastmi se z nanašanjem kovin, maskiranjem in jedkanjem oblikujejo električni kontakti.

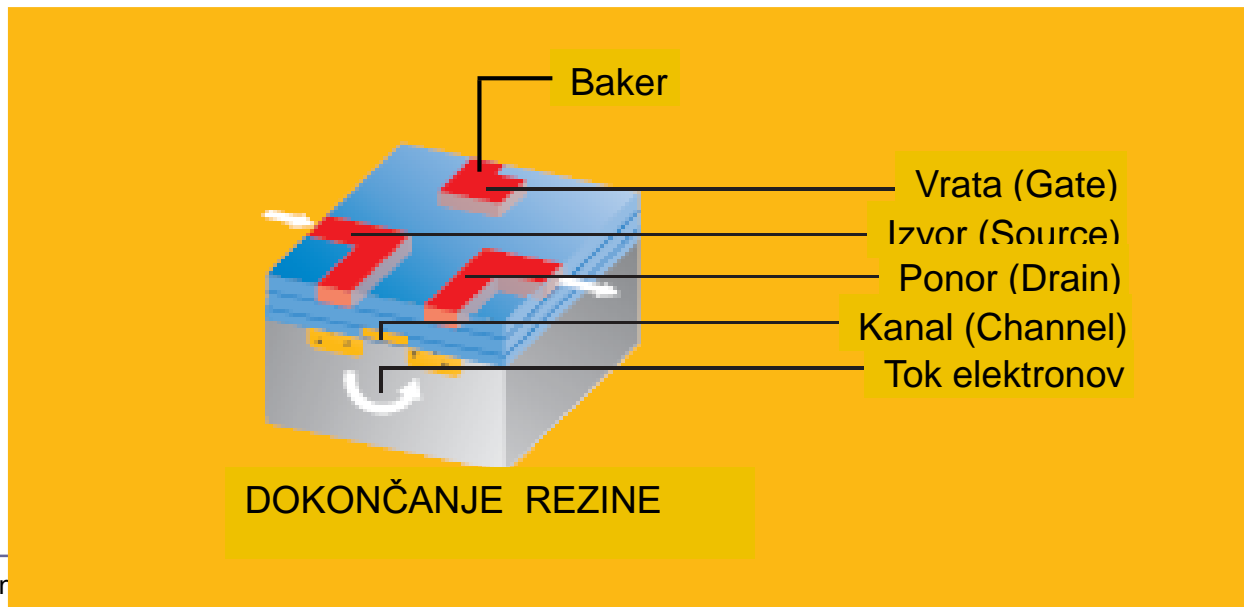


## Faze procesnega koraka : 4.c Oblikovanje kontaktov

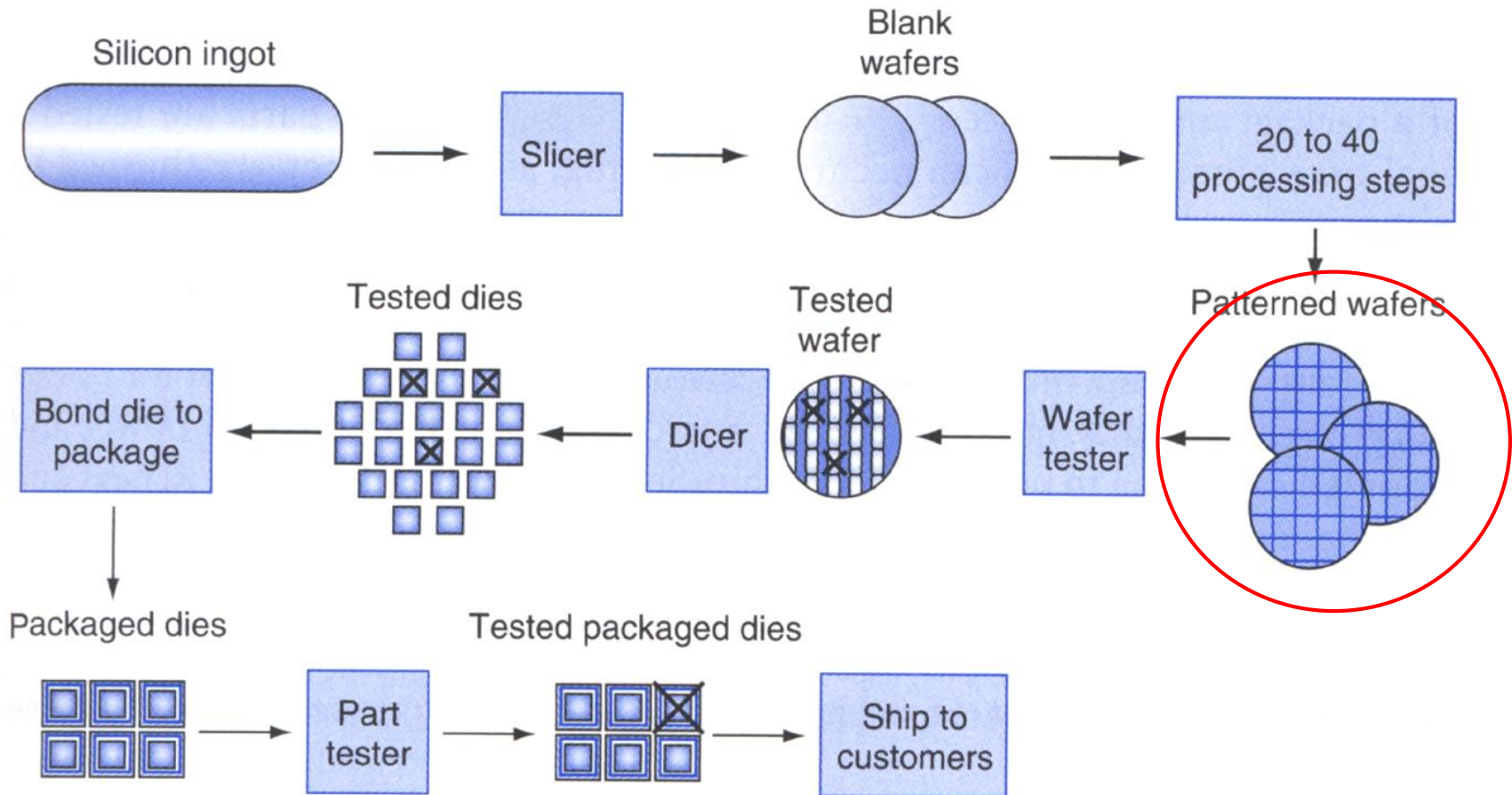


## ■ Dokončanje rezine

- Pozitivni naboj na vratih tranzistorja privlači elektrone, zato **po kanalu med izvorom in ponorom tranzistorja steče električni tok (on)**.
- Negativni naboj na vratih tranzistorja pa prepreči, da bi tok tekkel med izvorom in ponorom (off).
- V tridimenzionalni strukturi je tako zgrajeno vezje na čipu.
- Dokončana rezina vsebuje nekaj 10 ali 100 čipov vsak z milijoni tranzistorjev, ki delujejo kot stikala.

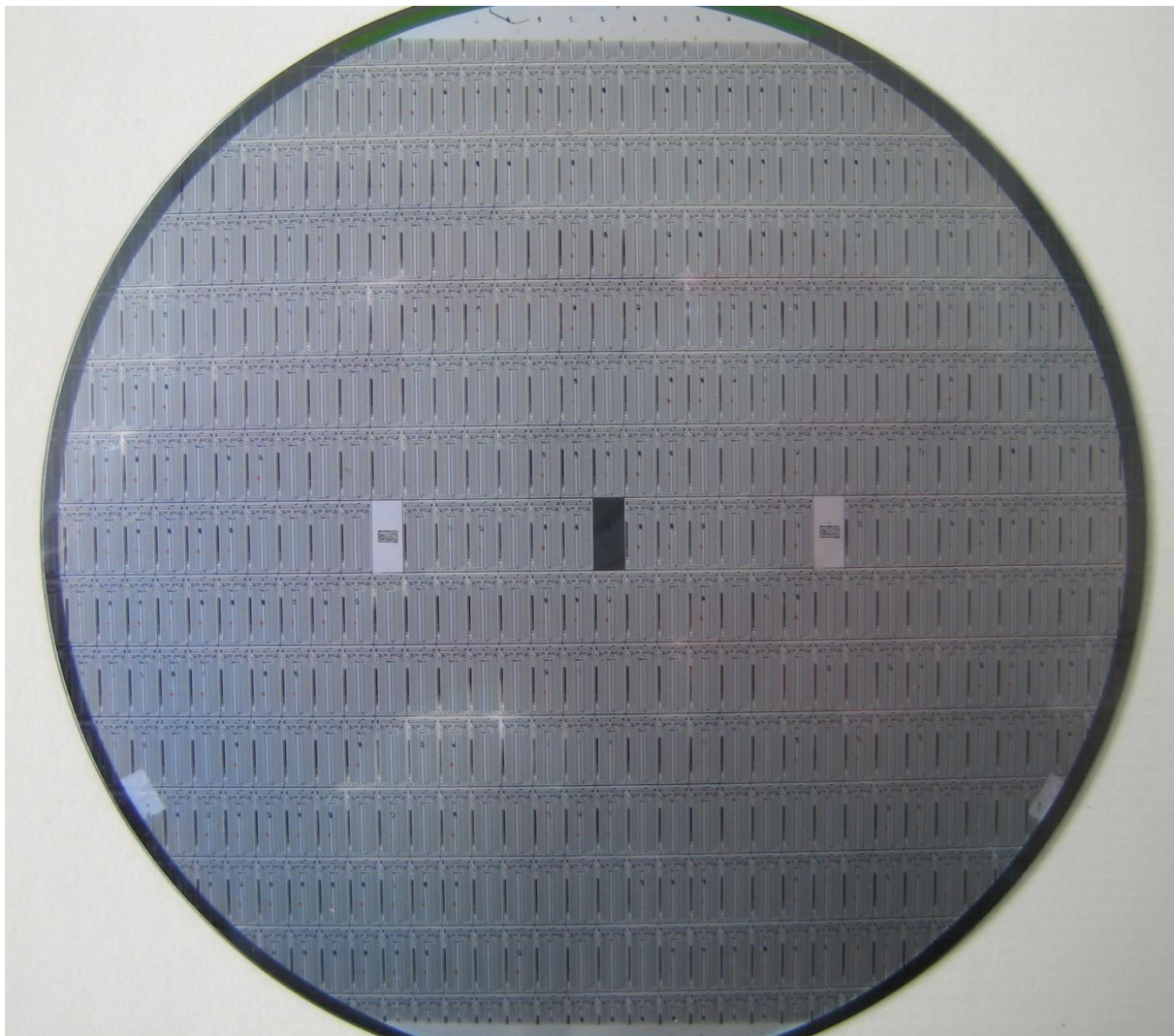


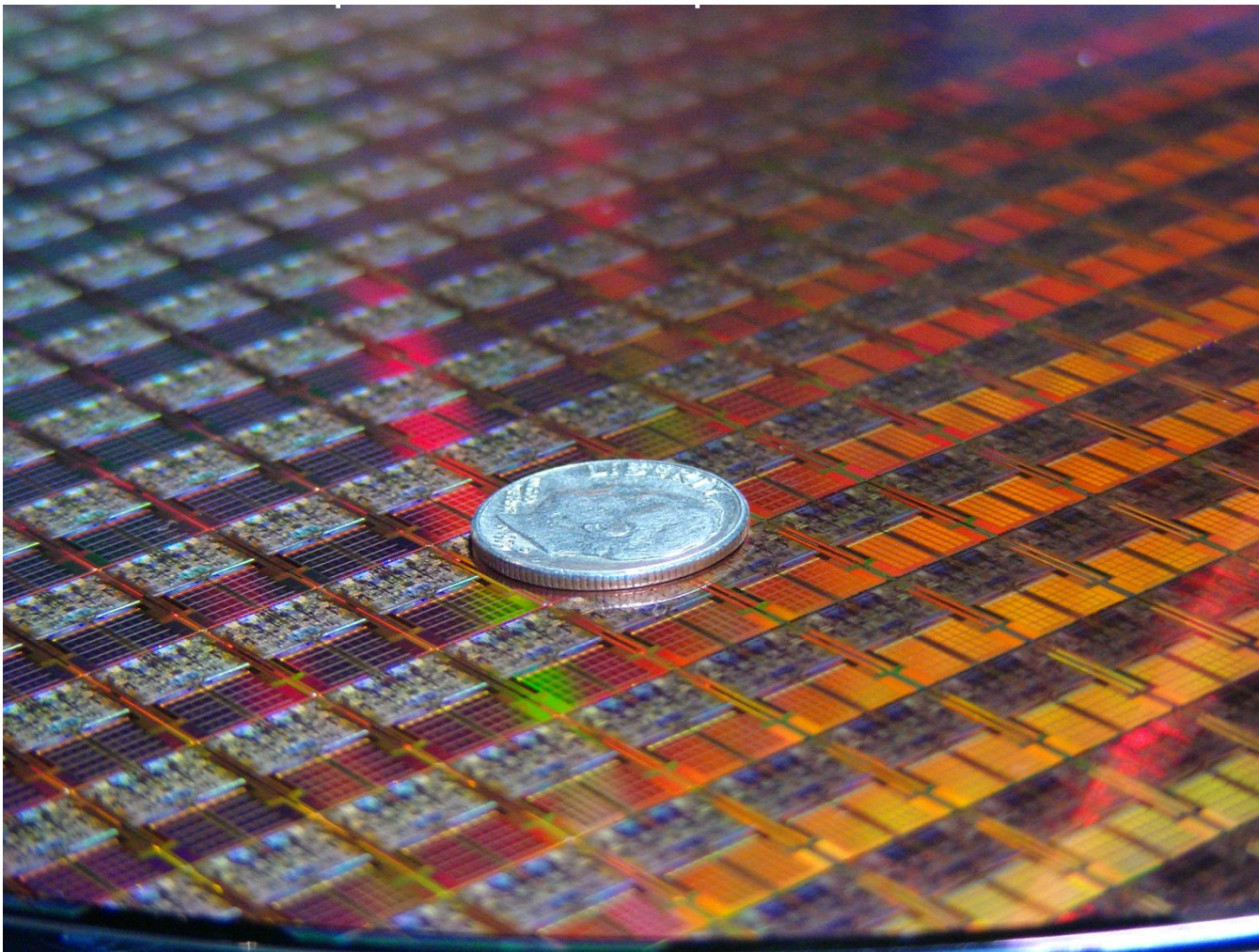
### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

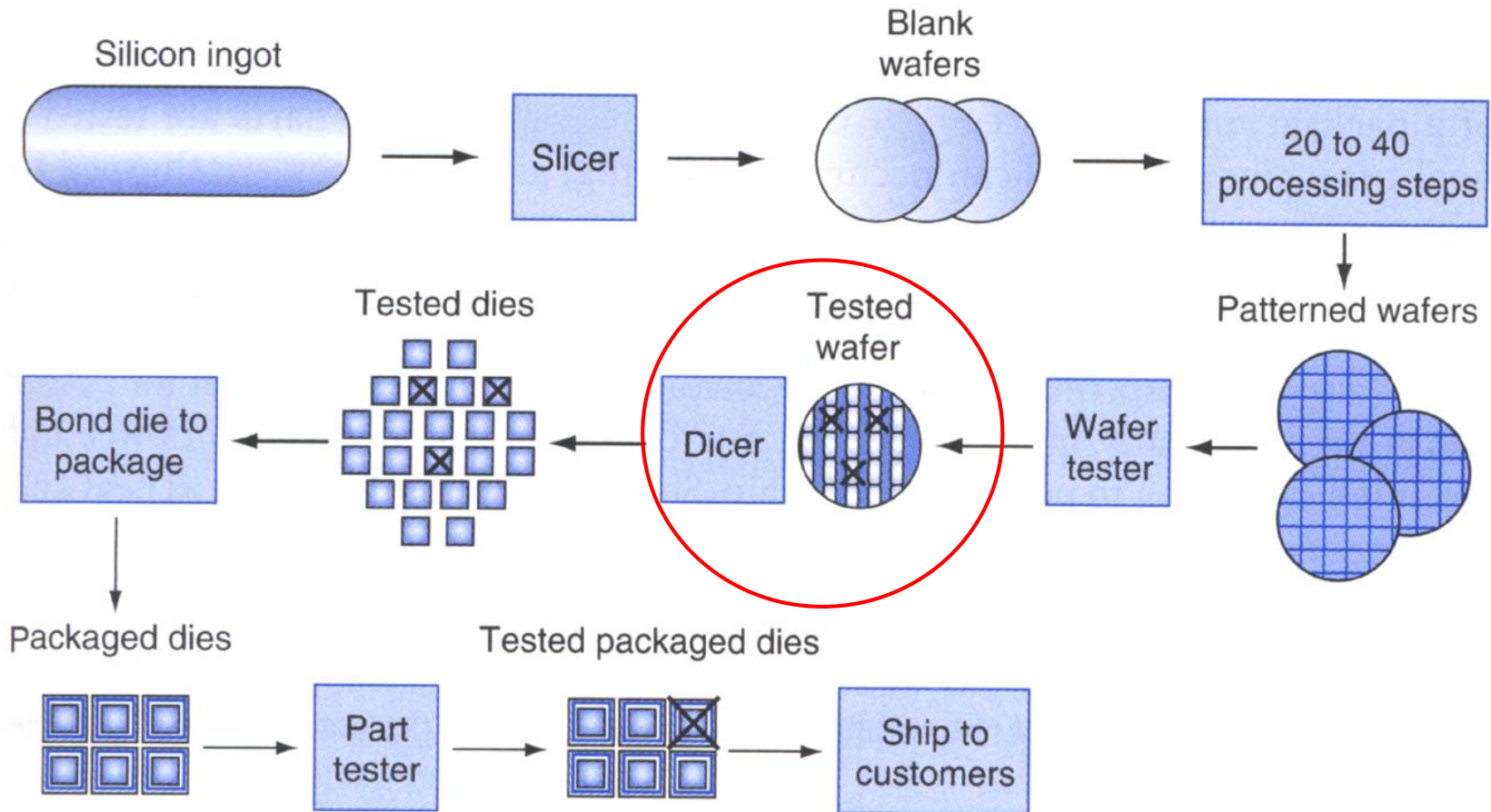
Rezina (wafer) s približno 250 pomnilniškimi čipi pred razrezom





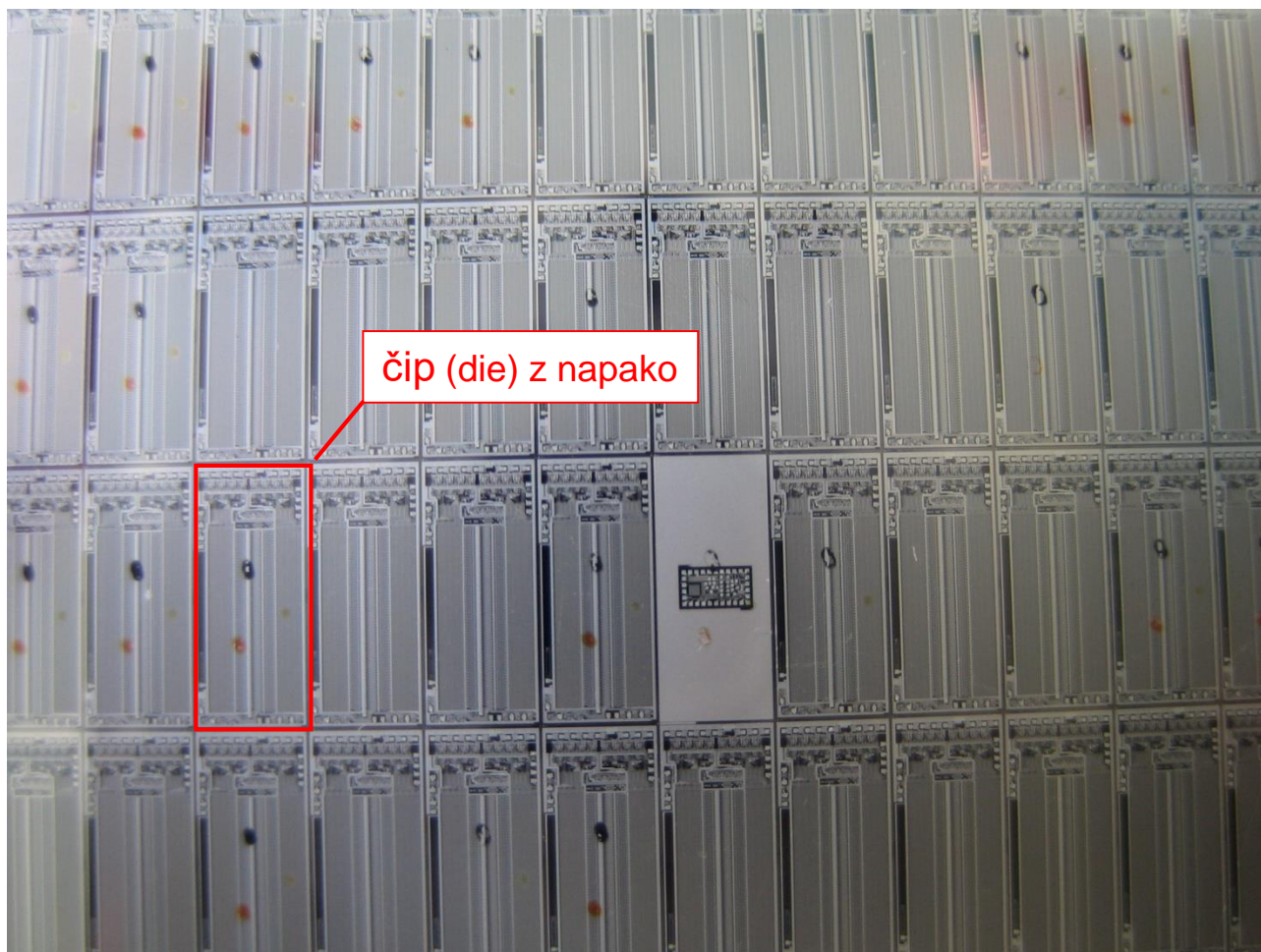


### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



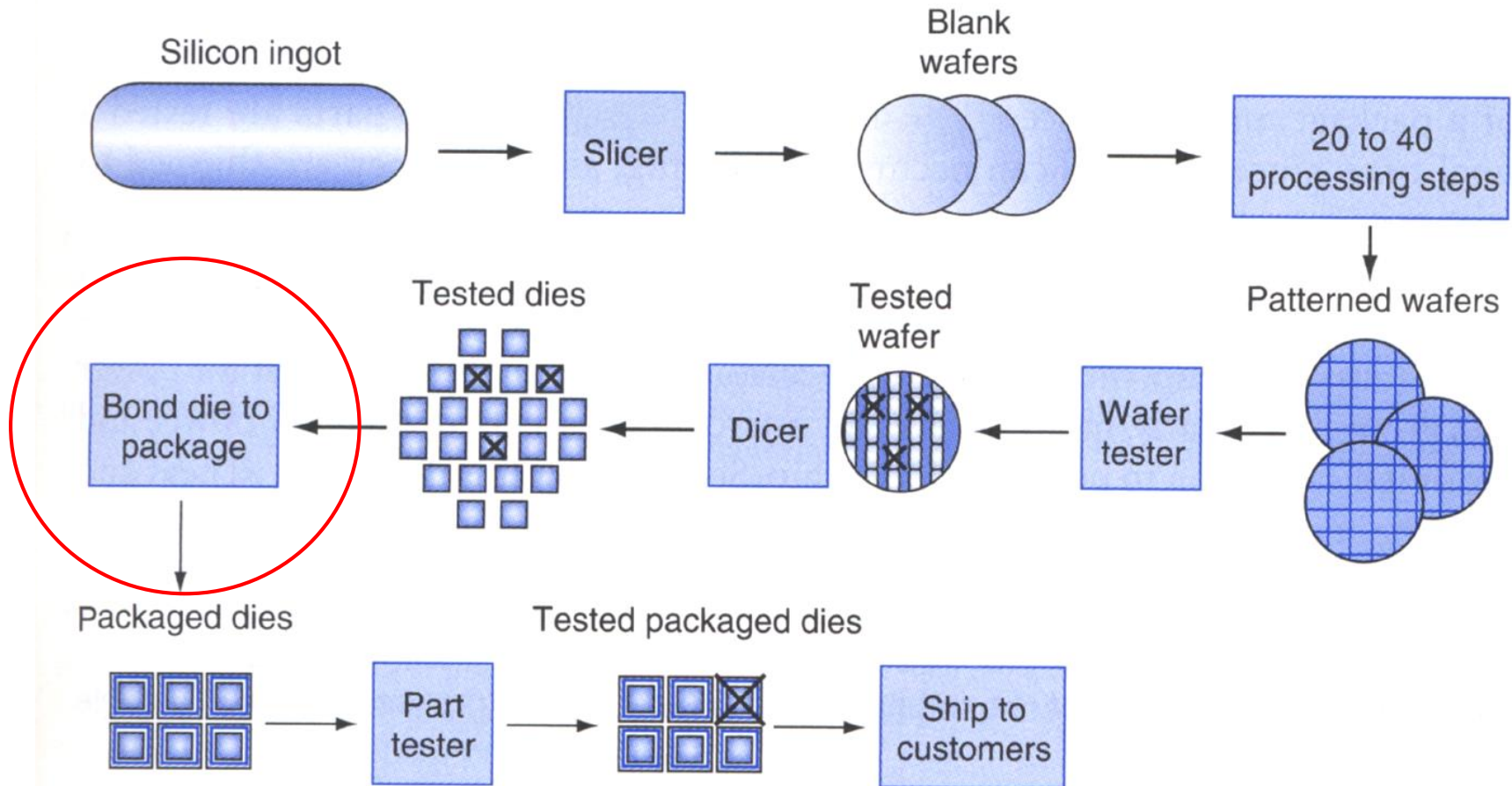
David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



Rezina z označenimi slabimi čipi

### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

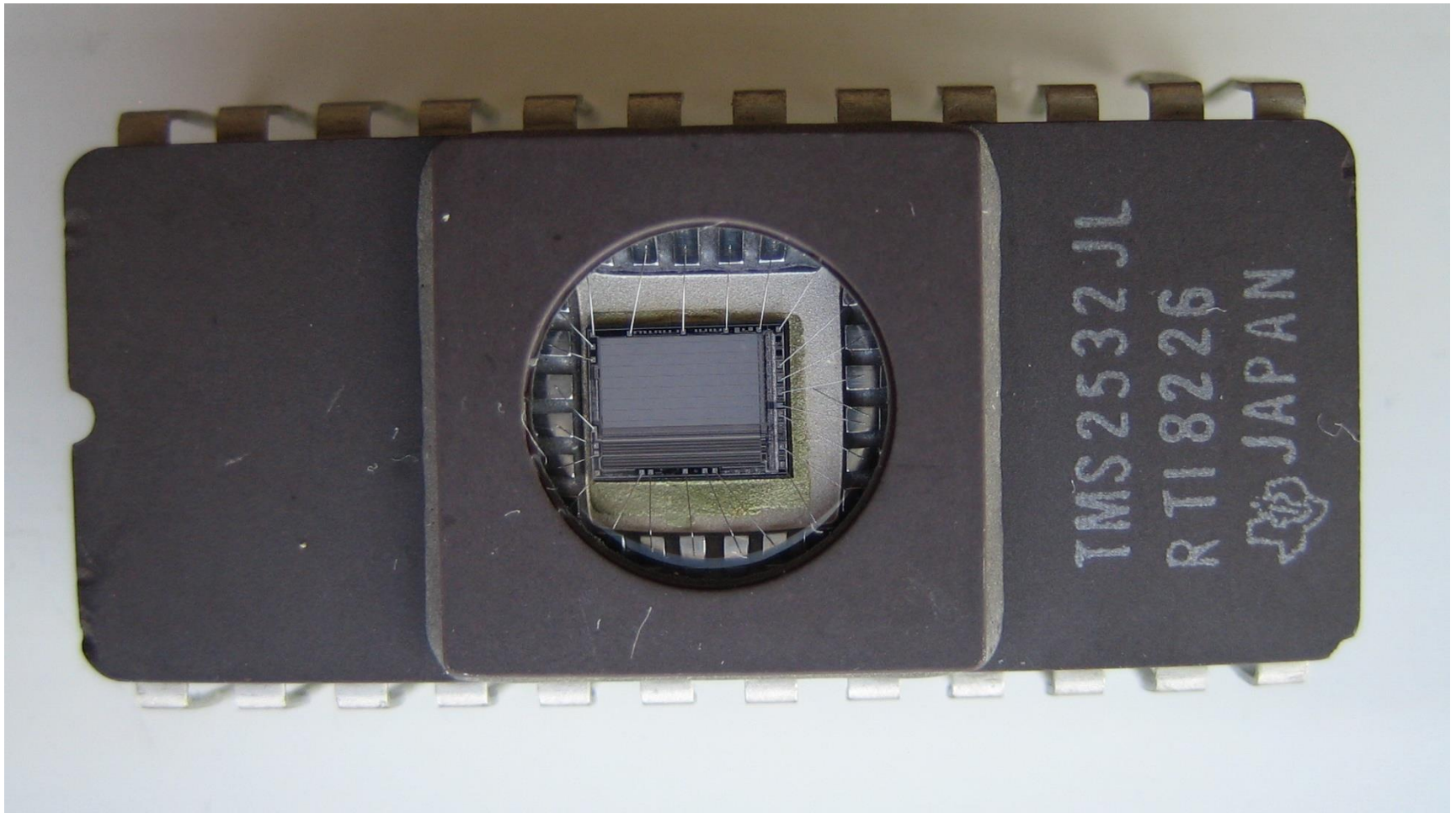


David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

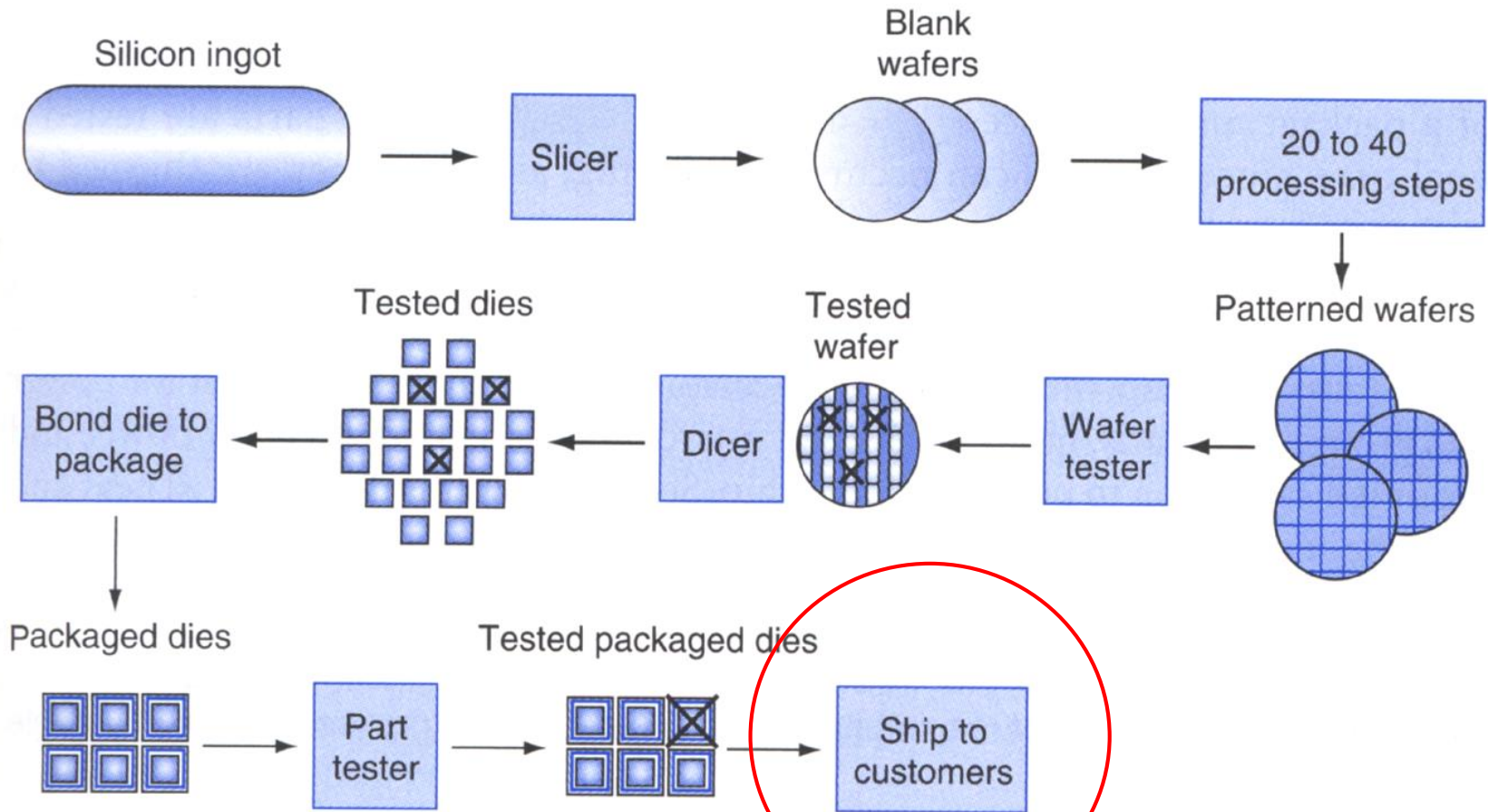
- Bondiranje (Bonding)



- Bondiranje (Bonding) - Primer



### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

## 1.3.3.2 Postopek izdelave VLSI digitalnih vezij - Povzetek

- Silicijev valj – “Ingot”
- razrez na rezine (‘Wafers’)
  - poliranje
  - pazimo na nečistočo
- 20-40 procesnih korakov
  - nanašamo :
    - tranzistorje
    - povezave
    - izolatorje

## 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

### Procesni korak :

- ***izolacija in prekrivanje***
  - nanašanje Silicijevega dioksida (kot izolator)
  - dodana plast na svetlobo občutljivega materiala – “fotoresist”
- ***maskiranje***
  - fotolitografija - obsevanje skozi masko, tam kjer je osvetljen postane fotoresist odstranljiv
- ***jedkanje***
  - odstrani osvetljeno plast “fotoresista” in po potrebi še spodnje plasti materiala
- po potrebi eden od naslednjih postopkov:
  - ***dopiranje*** (za tvorbo kanalov pri tranzistorjih)
  - ***nanašanje plasti prevodnikov*** (za oblikovanje povezav, priključkov, povezav med nivoji)
  - ***nanašanje plasti izolatorjev*** (zaščita, oblikovanje povezav, pač po potrebi, itd...)

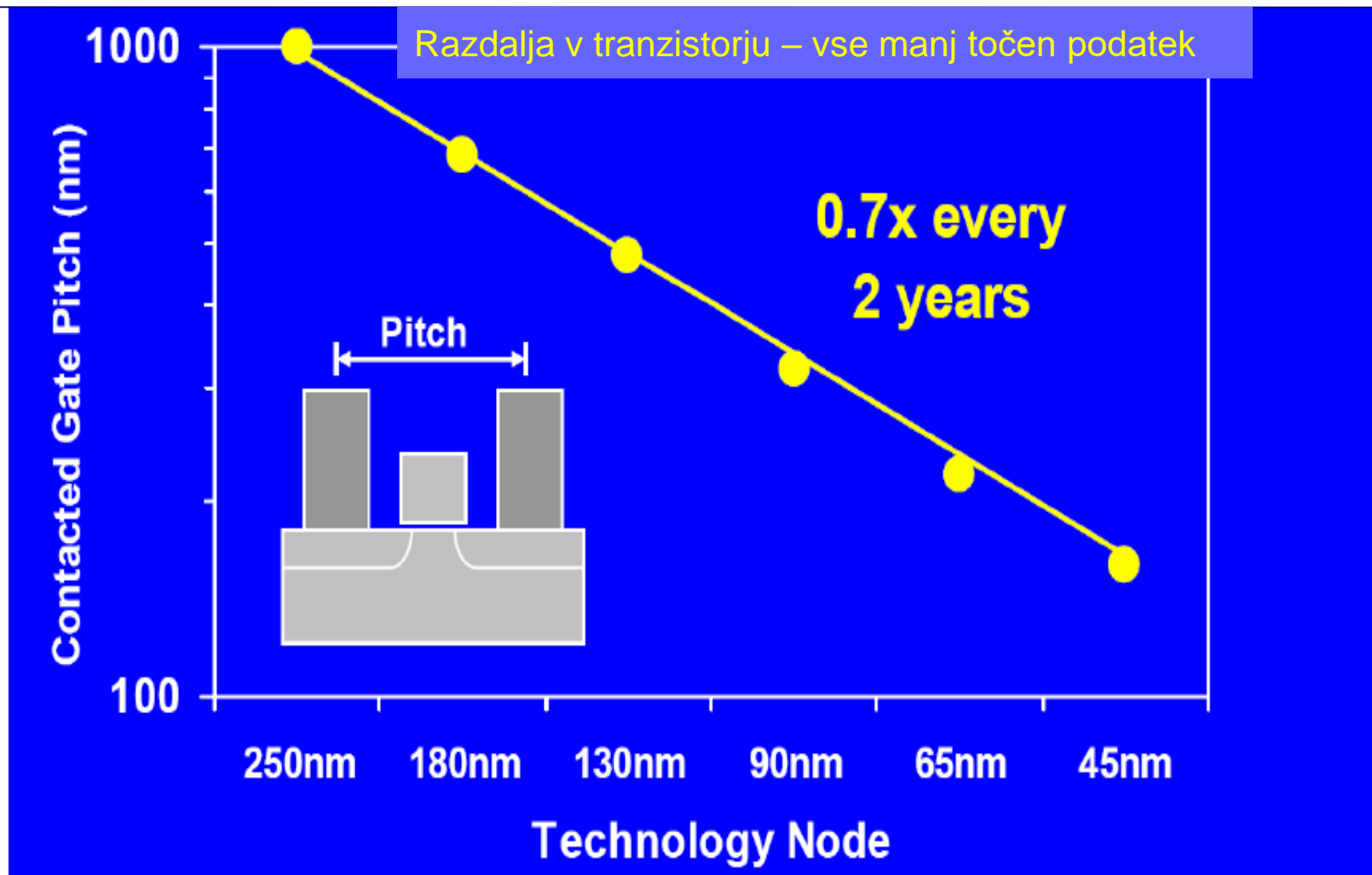


### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

## Končna obdelava:

- testiranje čipov na rezinah («die«)
- razrez rezin na čipe
- povezave priključkov na čipu z žičkami na priključke ohišja
- končno testiranje

### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

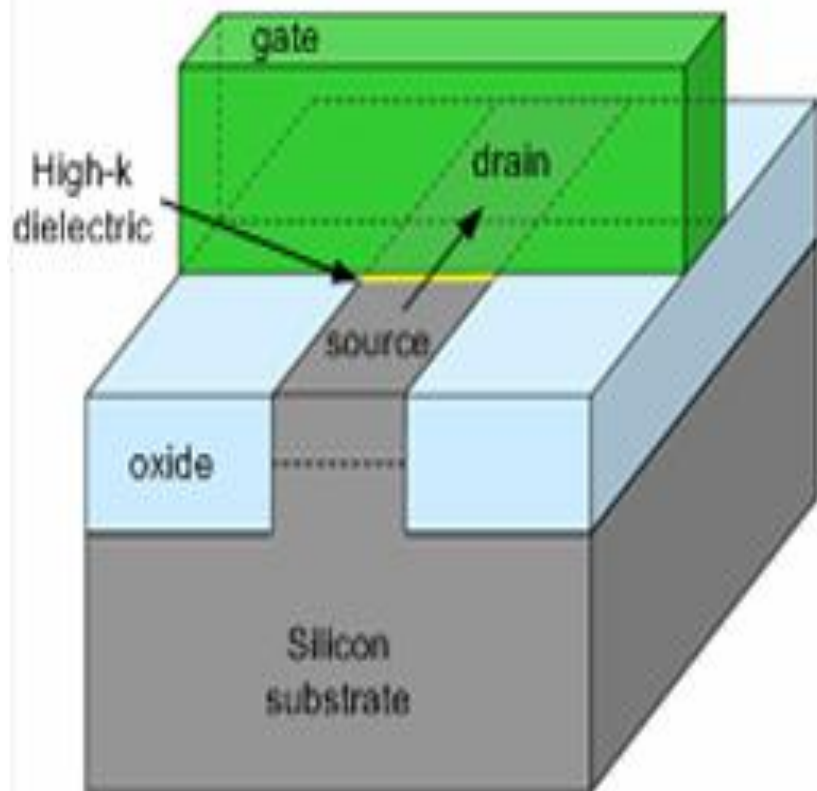


IEEE/IDEM 2007 (International Electron Devices Meeting) Intel

### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

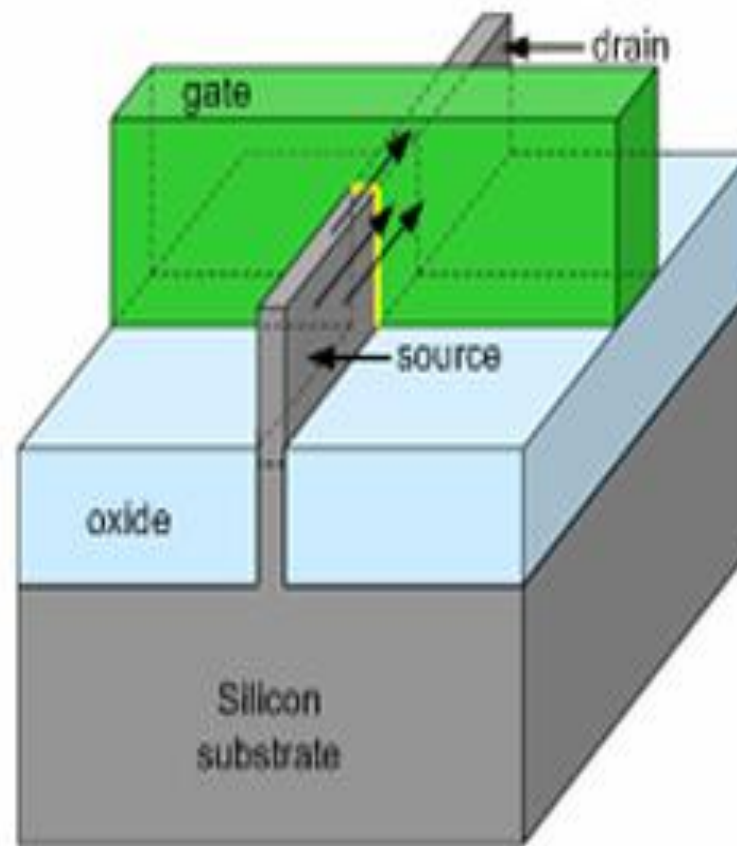
– planarni 2D (vodoravna lega) in

3D tranzistor (se širi v višino)



Planar 2D transistor

22nm tehnologija izdelave čipov



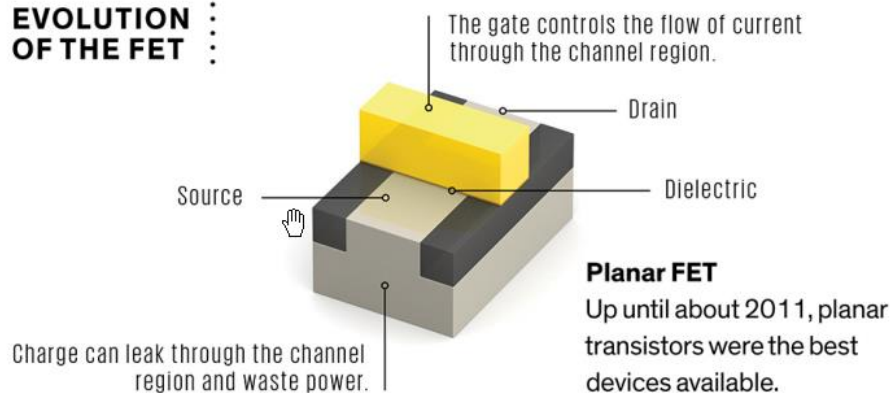
Tri-gate 3D transistor

premer Si atoma je 0.24nm!!!

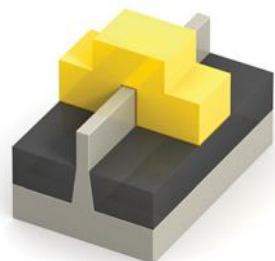
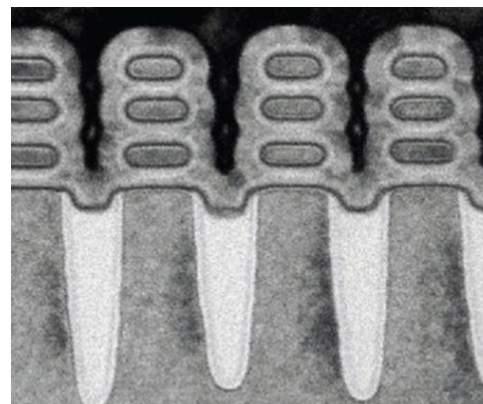
### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

## Sodobni razvoj tranzistorja Planarni -> FinFET -> Nano lističi

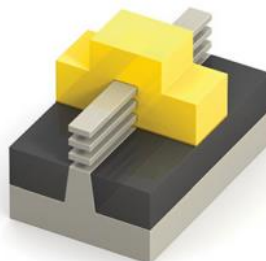
### EVOLUTION OF THE FET



### 2nm tehnologija izdelave čipov (IBM)



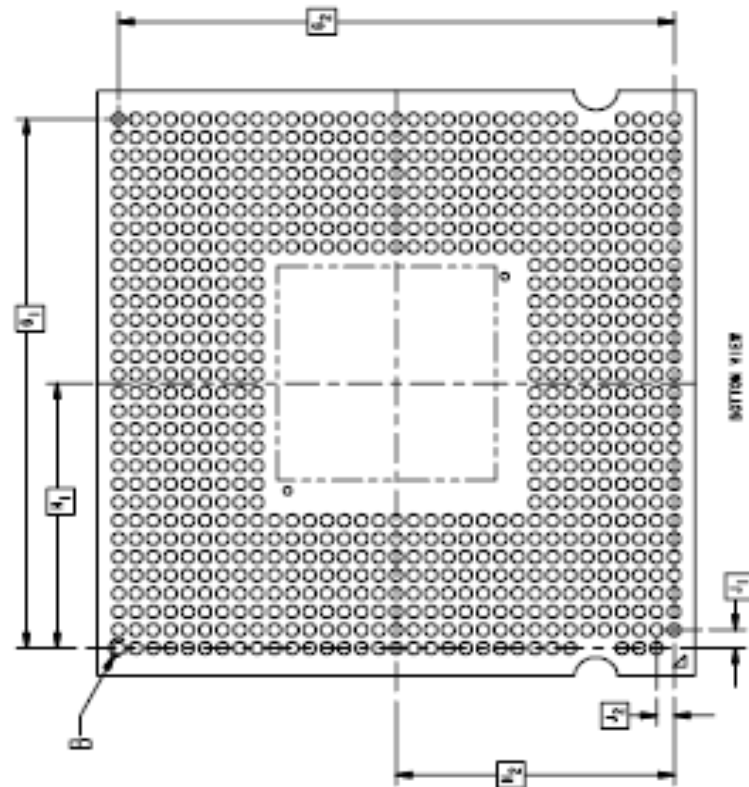
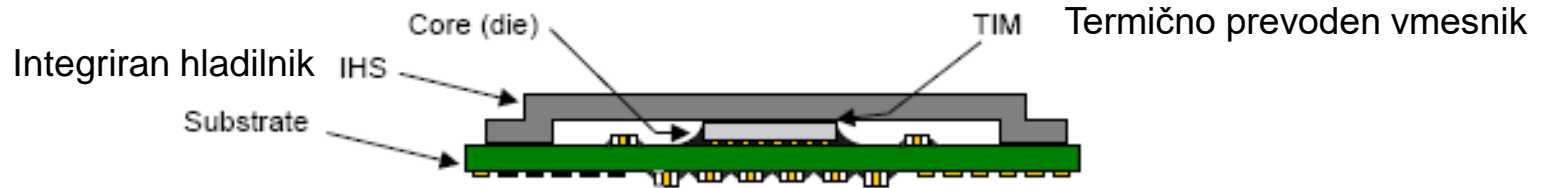
**FinFET**  
Surrounding the channel region on three sides with the gate gives better control and prevents current leakage.

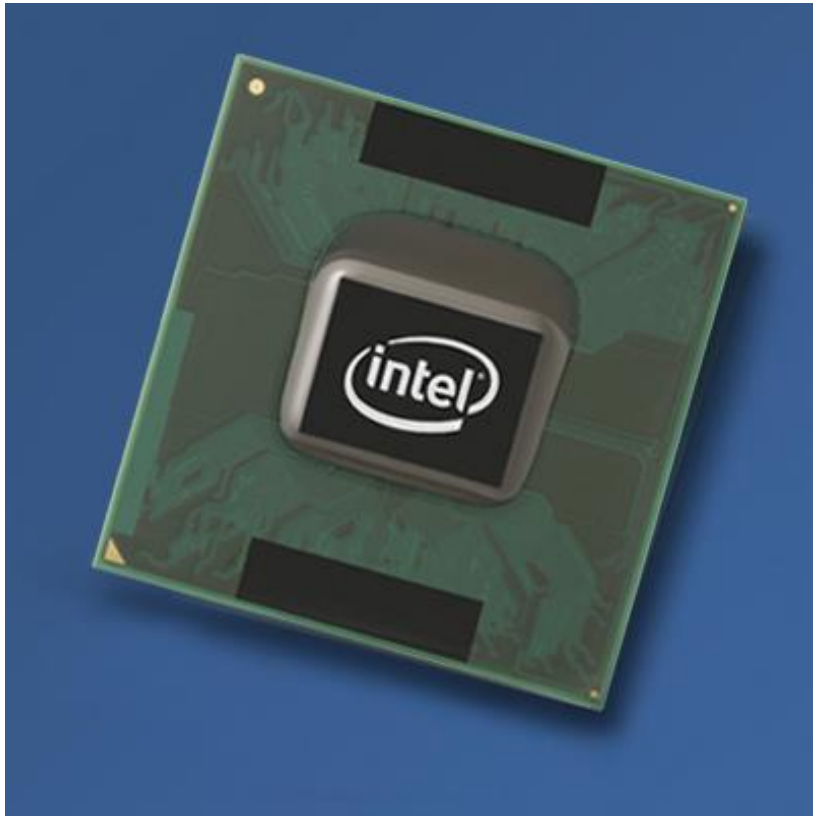


**Stacked nanosheet FET**  
The gate completely surrounds the channel regions to give even better control than the FinFET.

Illustration by Emily Cooper

IEEE Spectrum 2019  
POST YOUR COMMENTS at <https://spectrum.ieee.org/nanosheet0819>





Kontakti za povezavo čipa z matično ploščo

### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Z večanjem stopnje integracije:

- se dimenzije tranzistorjev in povezav manjšajo
- vezja (tranzistorji) za svoje delovanje porabljajo energijo (odvečna toplota)

Zato je pomembno da :

- učinkovito distribuiramo energijo po čipu:
  - veliko število kontaktov je za napajanje (Vcc in GND)
- učinkovito odvajamo odvečno toploto :
  - hladilniki, ventilatorji

Trend zmanjšanja porabe (TDP = Thermal Design Power) :

- Intel Core i7-920 s frekv. jedra 2.66GHz; **TDP = 130W** , 45nm
- Haswell: Core i7 4771, TDP = 85 W (sept. 2013) 22nm
- Skylake: Core i7-6700K, **TDP = 91W** (avg. 2015) 14nm
- Ice Lake: Core ? ,TDP = ??W (2020) 10nm

Dodatna gradiva, video :

- Posnetki o postopku izdelave VLSI vezij :

[2020: From Sand to Silicon: The Making of a Microchip | Intel](#) (*prikažemo*)

[Making the Microchip — At the Limits III Preview/](#)  
(*prikažemo*)

[The Making of a chip](#)

[Intel: The Making of a Chip with 22nm/3D Transistors](#)