

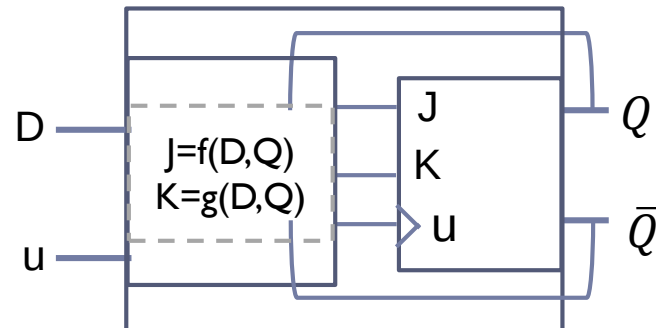
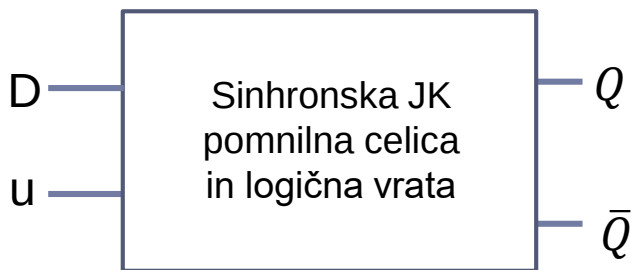
Digitalna vezja UL, FRI

Vaja 10 Pomnilne celice, Registri, Števc

N1 Sinhronska pomnilna celica D

- ❑ Realizacija sinhronske D pomnilne celice, če je za pomnjenje uporabljena sinhronska JK pomnilna celica. Naloge:
 1. Zapišite karakteristični (pravilnostni) tabeli za pomnilni celici D in JK.
 2. V tabeli za pomnilno celico D zapišite vzbujevalne vrednosti za njeno realizacijo z JK, tako da sta krmilni funkciji:
 - a) $J=?$ in $K=?$;
 - b) $J=K = ?$
 3. Za realizacijo uporabite vrata AND, OR, NAND, XOR. Vsak krmilni signal pomnilne celice JK naj bo določen samo z enimi vrati.

Vhodi in izhodi sinhronske pomnilne celice RS, ki je realizirana s sinhronsko pomnilno celico D.



1.)

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

D	$Q(t+1)$
0	0
1	1

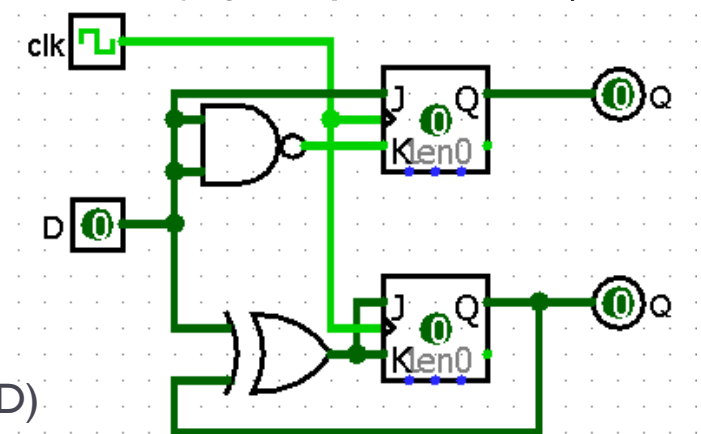
2)

D	$Q(t)$	$Q(t+1)$	J	K	J=K
0	0	0	0	1	0
0	1	0	0	1	1
1	0	1	1	0	1
1	1	1	1	0	0

a) $J = D; K = \overline{D} = \overline{D \cdot D} = D \uparrow D$ (vrata NAND)

b) $J = K = D \oplus Q(t)$

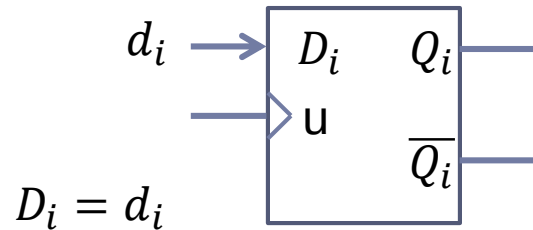
3.a) (J, K p.c, NAND)



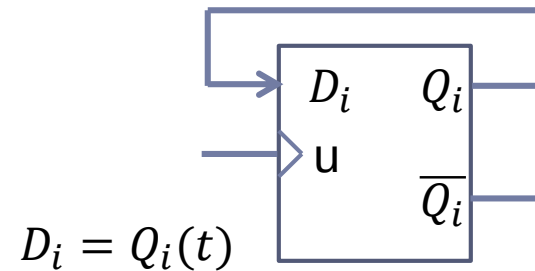
3.b) (J=K p.c, XOR)

Registri - D_i p.c.: shranjevalni, pomikalni

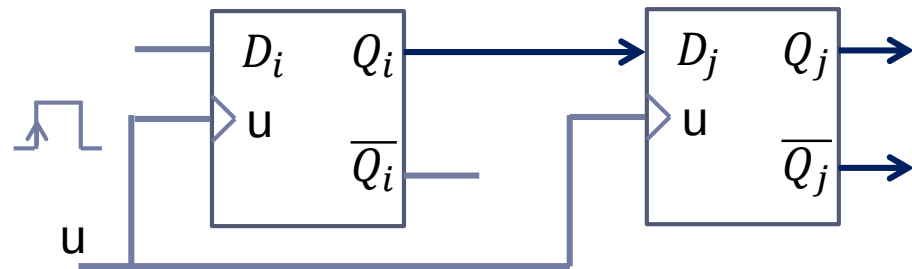
- VPIS podatka d_i v celico D_i



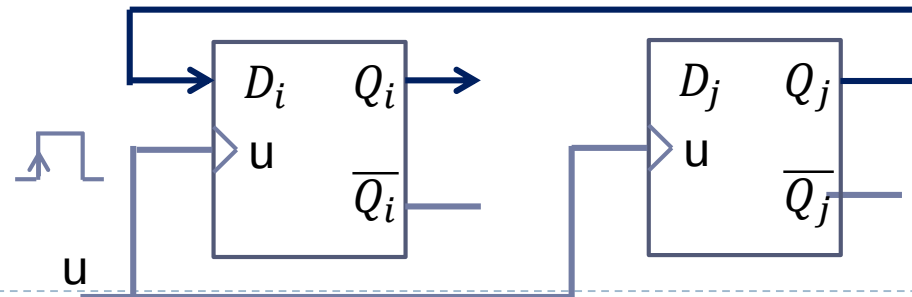
- Ohranjanje stanja v celici D_i



- Pomik desno: $D_j = Q_i(t)$



- Pomik levo: $D_i = Q_j(t)$

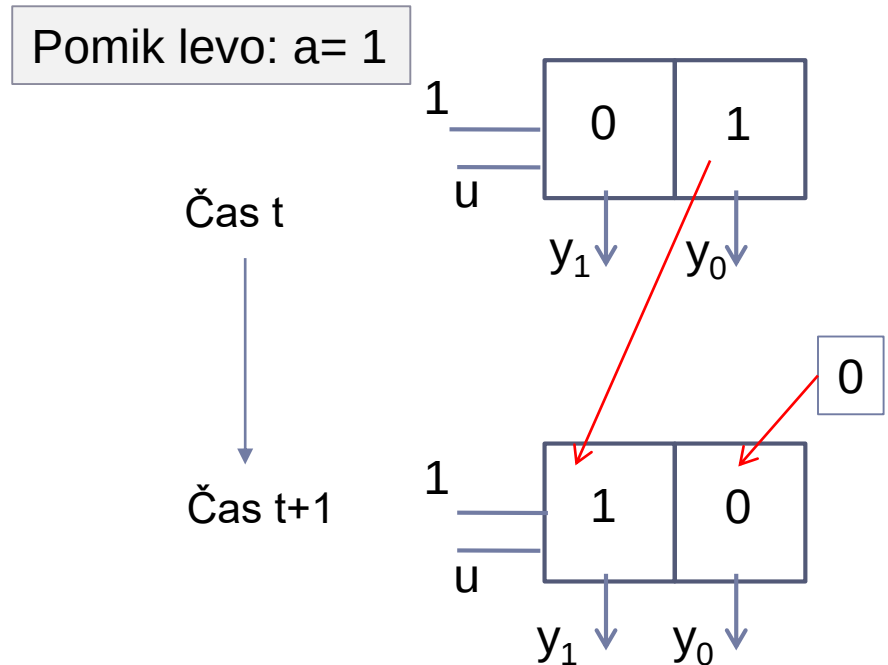
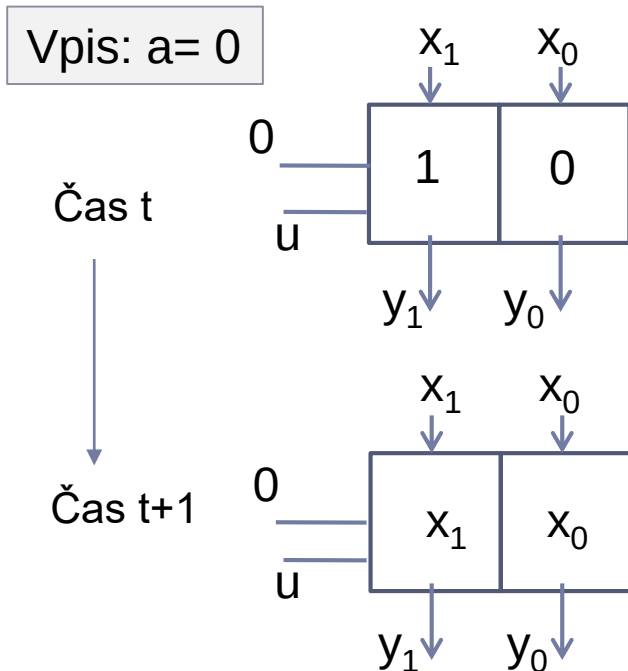


N2: Univerzalni register (Vpis, PL)

Realizirajte sinhronski 2-bitni register $Y=(y_1, y_0)$. Krmilni vhod a določa delovanje:

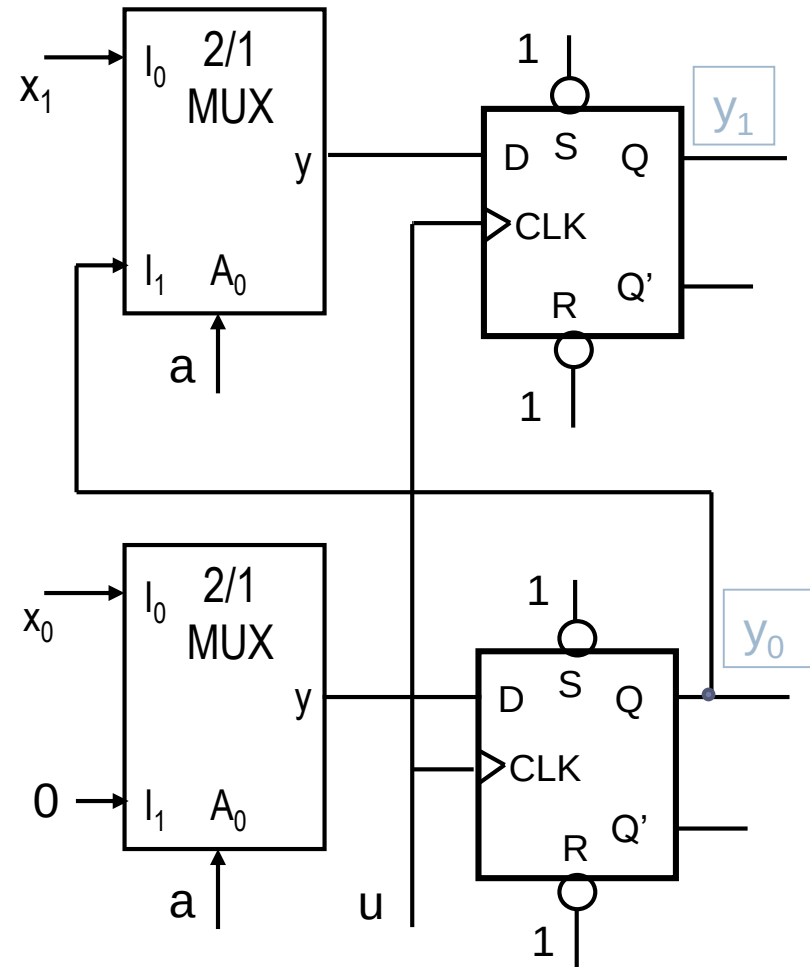
- $a = 0$: Vpis: $Y(t+1)=X$, kjer je $X=(x_1, x_0)$
- $a = 1$: PL - pomik levo, tako da se na mesto y_0 vpiše 0.

Za realizacijo uporabite sinhronski D pomnilni celici z asinhronskima vhodoma R in S , ki ne vplivata na delovanje registra in 2/1 MUX-je.



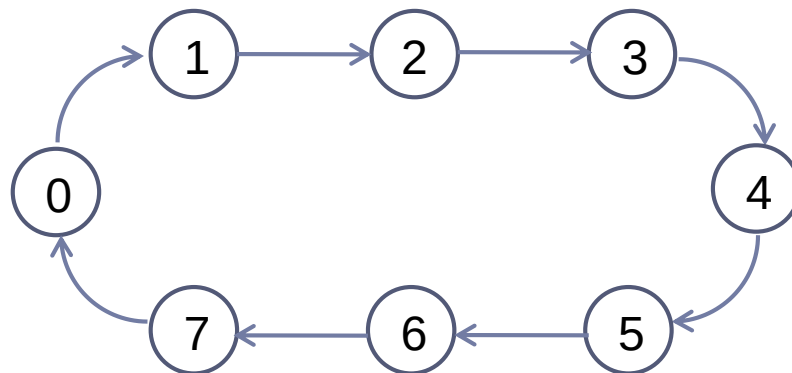
a	Kodiranje
0	Vpis
1	Pomik levo

a	$Q_1(t)$	$Q_0(t)$	D_1 $Q_1(t+1)$	D_0 $Q_0(t+1)$	2/1 MUX
0	0	0	x_1	x_0	I_0
0	0	1	x_1	x_0	
0	1	0	x_1	x_0	
0	1	1	x_1	x_0	
1	0	0	0	0	I_1
1	0	1	1	0	
1	1	0	0	0	
1	1	1	1	0	



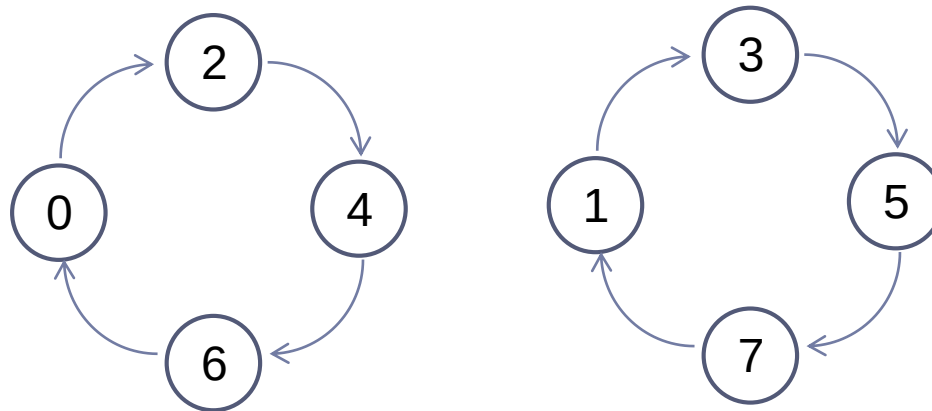
Sinhronski števc

- ❑ Sekvenčno vezje: Q_i je i -ti izhod števca
- ❑ **Modul štetja** (M) - število različnih izhodnih stanj števca:
- ❑ **Korak štetja** ($k=1, 2, \dots$)
- ❑ **Način štetja:**
 - Povečevanje vrednosti – Inkrement: $Q(t+1) = Q(t) + k$
 - Zmanjševanje vrednosti – Dekrement: $Q(t+1) = Q(t) - k$
- ❑ Primer: $M=8$, INK, $k=1$



N3: Sinhronski števec (INC, $k=2$)

- Realizirajte 3-bitni sinhronski števec za podano sekvenco z uporabo JK pomnilnih celic in logičnih vrat AND, OR, NOT.



Zaporedje stanj števca podamo kot inkrement za 2:

- soda števila: $0 - 2 - 4 - 6 - 0 - \dots$
 - liha števila: $1 - 3 - 5 - 7 - 0 -$
- Z asinhronskim vhodom za brisanje ali postavljanje celice Q_0 naj bo izvedeno preklapljanje iz sodega v liho zaporedje in obratno.
 - Spreminjanje stanj števca prikažite v digitalnem prikazovalniku v logisimu.

- Tabela stanj: t – trenutno stanje števca, $t+1$ – naslednje stanje števca
- Pomnilna celica JK – uporabimo rešitev za vhoda $J=K$

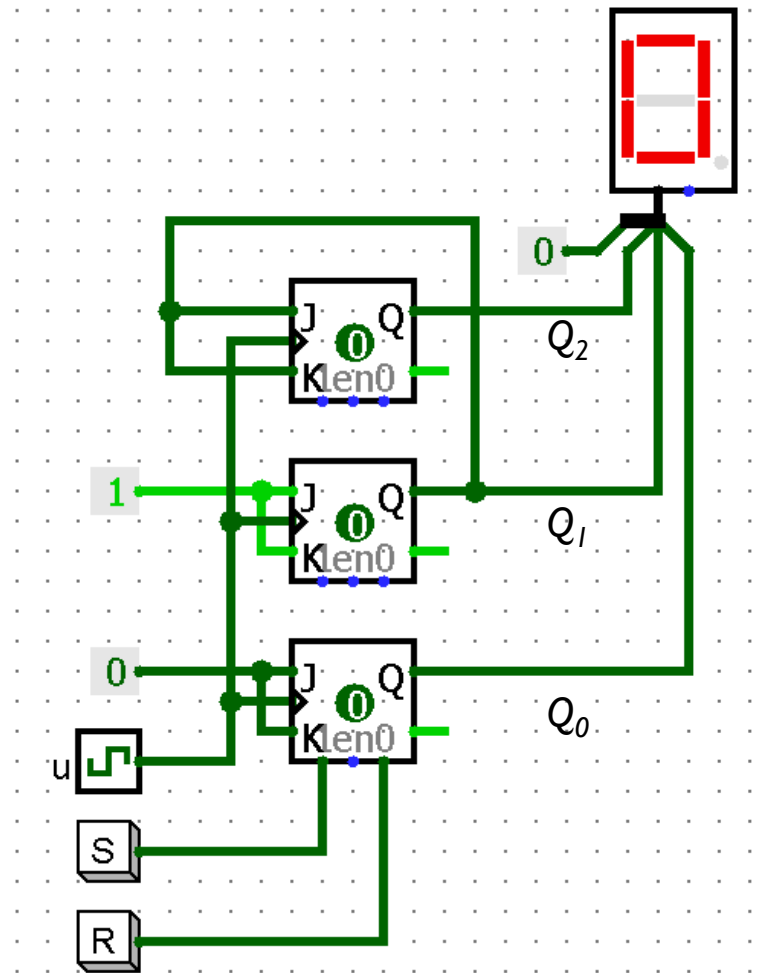
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	$J_2=K_2$	$J_1=K_1$	$J_0=K_0$
(t)	(t)	(t)	(t+1)	(t+1)	(t+1)			
0	0	0	0	1	0	0	1	0
0	0	1	0	1	1	0	1	0
0	1	0	1	0	0	1	1	0
0	1	1	1	0	1	1	1	0
1	0	0	1	1	0	0	1	0
1	0	1	1	1	1	0	1	0
1	1	0	0	0	0	1	1	0
1	1	1	0	0	1	1	1	0

$$J_2 = K_2 = Q_1$$

$$J_1 = K_1 = 1$$

$$J_0 = K_0 = 0$$

- Logično vezje



Dodatna naloga 1 – Univerzalni register (Vpis, CPD)

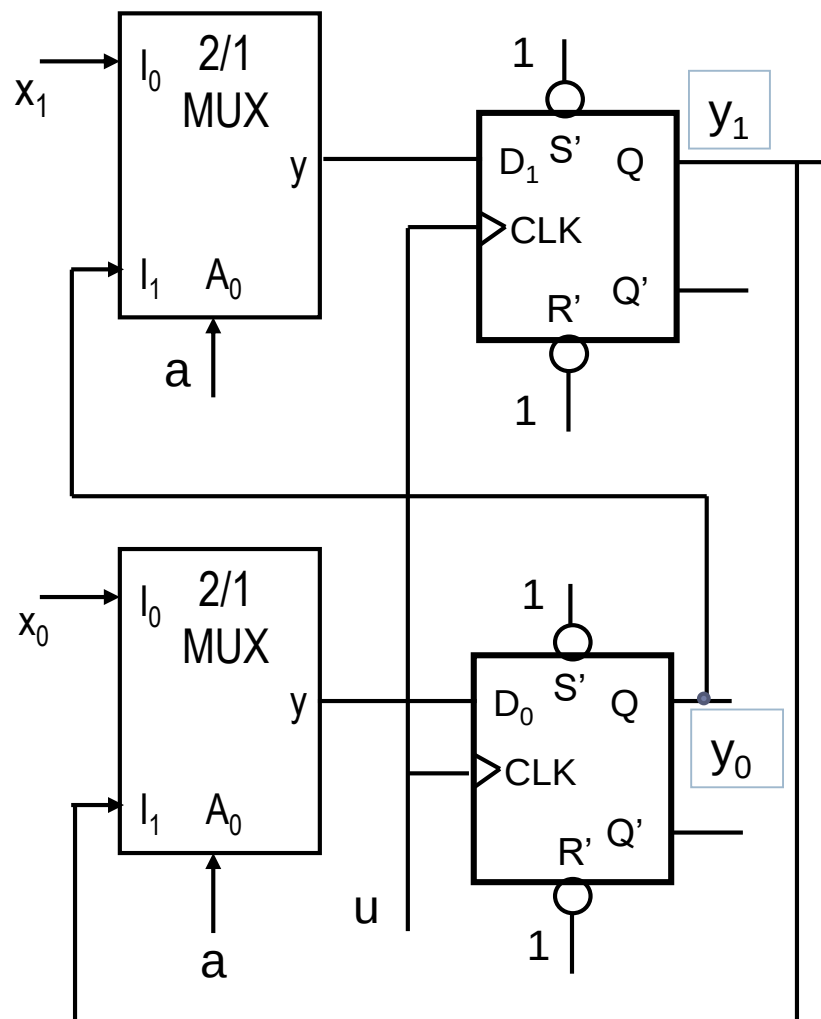
- ❑ Definirajte sinhronski 2-bitni register $Y=(y_1, y_0)$. Krmilni vhod a določa:
 - $a=0$: Vpis: $Y(t+1)=X$, kjer je $X=(x_1, x_0)$
 - $a=1$: CPD - ciklični pomik desno: $y_1(t+1)=y_0(t)$, $y_0(t+1)=y_1(t)$

- ❑ Naloge:
 - Zapišite tabelo stanj delovanja registra.
 - Zapišite krmilni funkciji za D pomnilni celici z 2/I MUXi.
 - Realizirajte register v logisimu, uporabite sinhronski D pomnilni celici z asinhronskima vhodom R in S .
 - Dodajte gumb za asinhronsko brisanje registra (Reset).

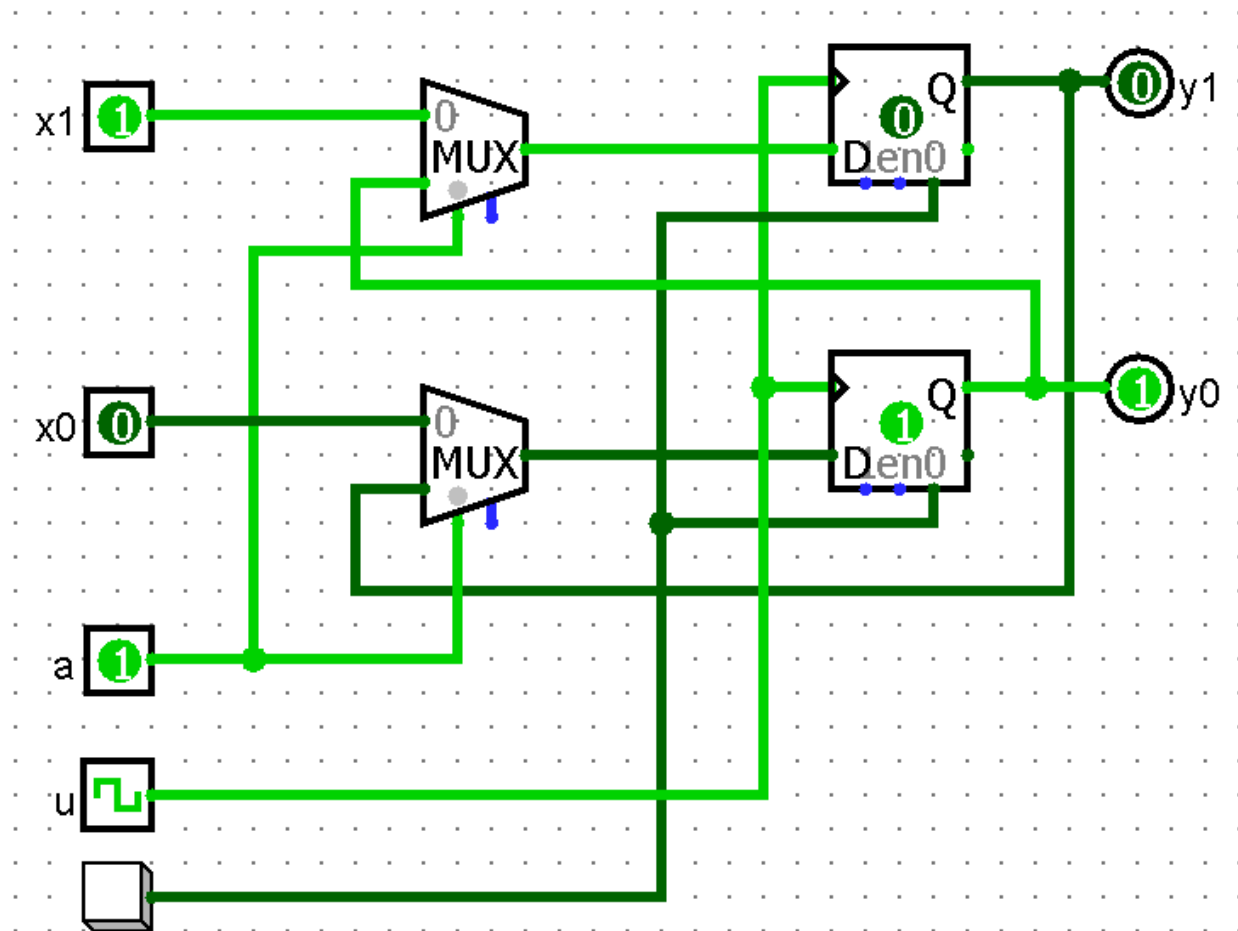
Tabela prehajanja stanj števca

Realizacija funkcij za D_1, D_0 z 2/I MUXi

a	$Q_1(t)$	$Q_0(t)$	D_1 $Q_1(t+1)$	D_0 $Q_0(t+1)$	2/1 MUX
0	0	0	x_1	x_0	I_0
0	0	1	x_1	x_0	
0	1	0	x_1	x_0	
0	1	1	x_1	x_0	
1	0	0	0	0	I_1
1	0	1	1	0	
1	1	0	0	1	
1	1	1	1	1	



- Logično vezje



Dodatna naloga 2: Sinhronski števec (M=4, INC/DEC)

- ❑ Definirajte 2-bitni števec $Q=(Q_1, Q_0)$. Krmilni vhod A določa delovanje:
 - $A=0$: M=4, Dekrement, $k=1$
 - $A=1$: M=4, Inkrement, $k=1$

- ❑ Naloge:
 - Zapišite tabelo prehajanja stanj delovanja števca.
 - Zapišite krmilni funkciji za D pomnilni celici s 4/1 MUXi.
 - Realizirajte števec v logisimu.
 - Dodajte gumb za asinhronsko brisanje števca (Reset).

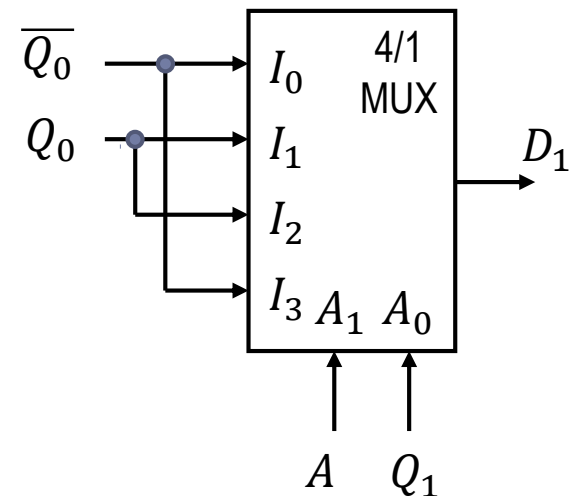
- Tabela prehajanja stanj števca
- Realizacija funkcij za D_1, D_0

A	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1) = D_1$	$Q_0(t+1) = D_0$
0	0	0	1	1
0	0	1	0	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

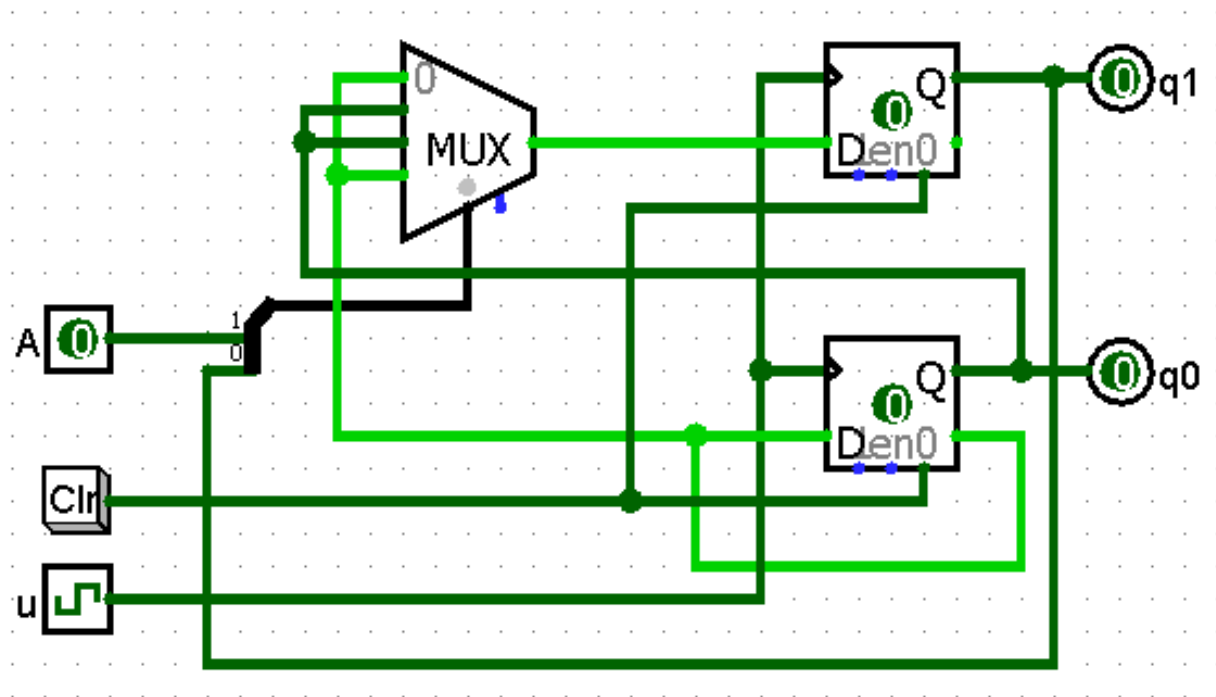
$$D_0 = \overline{Q_0}$$

D_1 - 4/1 MUX

$A_1 = A, A_0 = Q_1$
 I_0, I_1, I_2, I_3 - tabela



- Logično vezje



Dodatna naloga 3: Sinhronski števec + Vpis

- ❑ Definirajte 3-bitni števec $Q=(Q_2, Q_1, Q_0)$.

Krmilni vhod A določa:

- $A=0$: Vpis začetnega stanja $Q(t+1)=5$,
- $A=1$: $M=6$, Dekrement, $k=1$

- ❑ Naloge:

1. Zapišite tabelo prehajanja stanj delovanja števca z vpisom začetnega stanja.
2. Zapišite krmilni funkciji za D pomnilni celici z MUXi (4/1 MUX, 2/1 MUX)
3. Realizirajte števec v logisimu.
4. Dodajte gumb za asinhronsko brisanje števca (Reset).

Tabela prehajanja stanj, krmilni funkciji za D pomnilni celici,, realizacija z MUXi

A	$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	$Q_2(t+1)=D_2$	$Q_1(t+1)=D_1$	$Q_0(t+1)=D_0$
0	0	0	0	1	0	1
0	0	0	1	1	0	1
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	1	0	1
0	1	0	1	1	0	1
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	0	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	x	x	x
1	1	1	1	x	x	x

2/I MUX

$$A_0 = A$$

	D_2	D_1	D_0
I_0	1	0	1
I_1			$\overline{Q_0(t)}$

4/I MUX

$$A_1 = Q_2(t)$$

$$A_0 = Q_1(t)$$

	D_2	D_1
I_0	$\overline{Q_0(t)}$	0
I_1	0	$Q_0(t)$
I_2	$Q_0(t)$	$\overline{Q_0(t)}$
I_3	x	x

Poenostavljen zapis v tabeli prehajanja stanj

A	$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	$Q_2(t+1)=D_2$	$Q_1(t+1)=D_1$	$Q_0(t+1)=D_0$
0	x	x	x	1	0	1
1	0	0	0	1	0	1
1	0	0	1	0	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	x	x	x
1	1	1	1	x	x	x

2/I MUX

$$A_0 = A$$

	D_2	D_1	D_0
I_0	1	0	1
I_1			$\overline{Q_0(t)}$

4/I MUX

$$A_1 = Q_2(t)$$

$$A_0 = Q_1(t)$$

	D_2	D_1
I_0	$\overline{Q_0(t)}$	0
I_1	0	$Q_0(t)$
I_2	$Q_0(t)$	$\overline{Q_0(t)}$
I_3	x	x

Logično vezje

