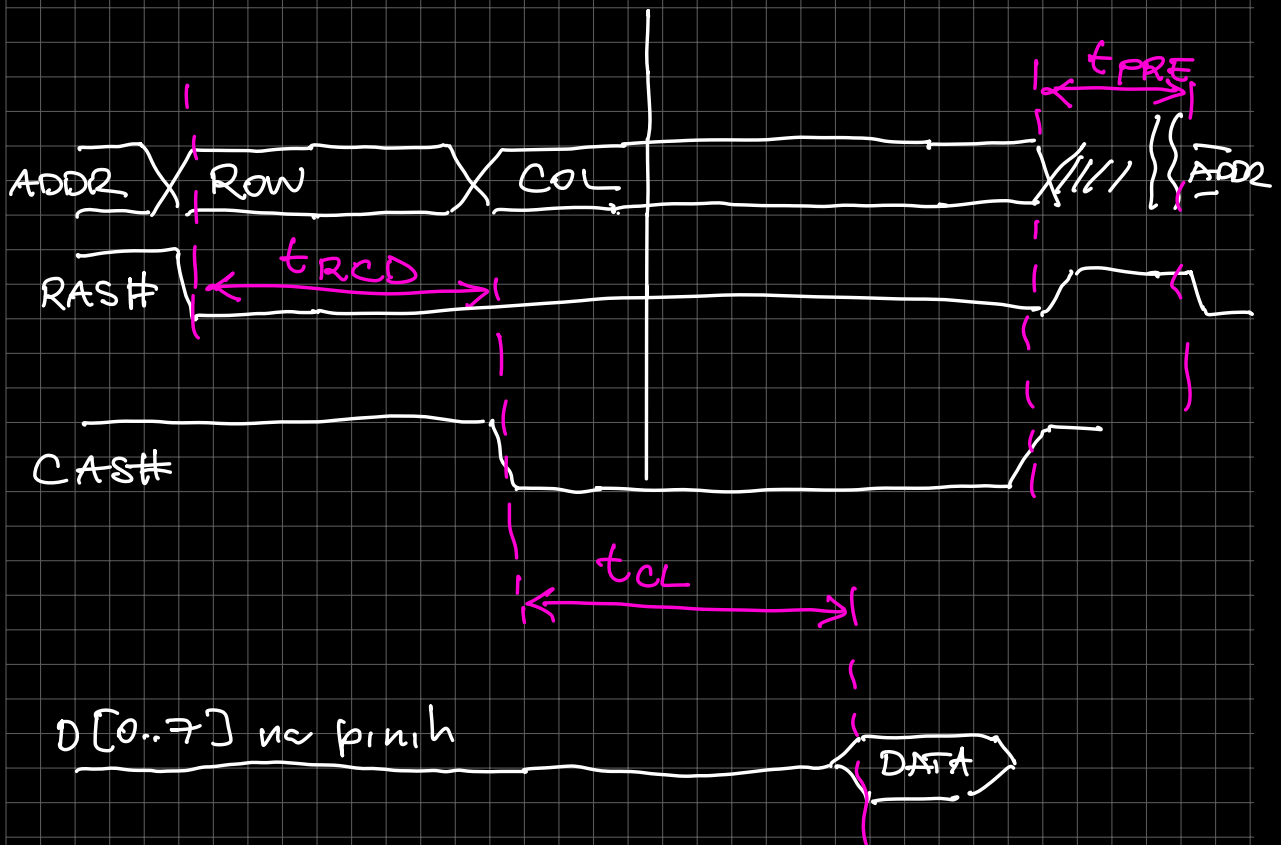
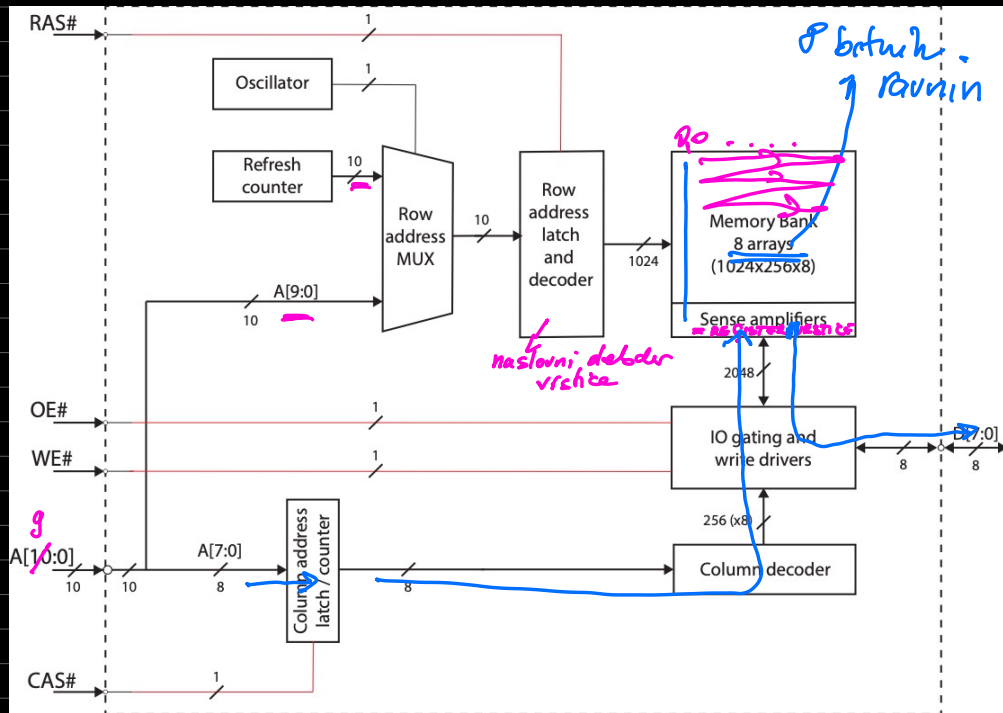




$$t_{RCD} \approx t_{CL} \approx t_{PRE} \approx 135 \text{ ns}$$

Sinhronski DRAM SDRAM

→ vse operacije (odpiranje vrstice, nalaganje stolpca, zapiranje vrstice)

nej bodo ~~INTERMITIRANE~~ z ure
v sistemu

→ če je imamo keri signal, potem dodaja
v DRAM chip en koderi avtomat, ki
bo izvedel funkcije RAS# in CAS#

→ in mi koderi avtomati samo
pošiljajo "ukre": odpri vrstico
beri stolpec, piši stolpec,
zaprvi vrstico

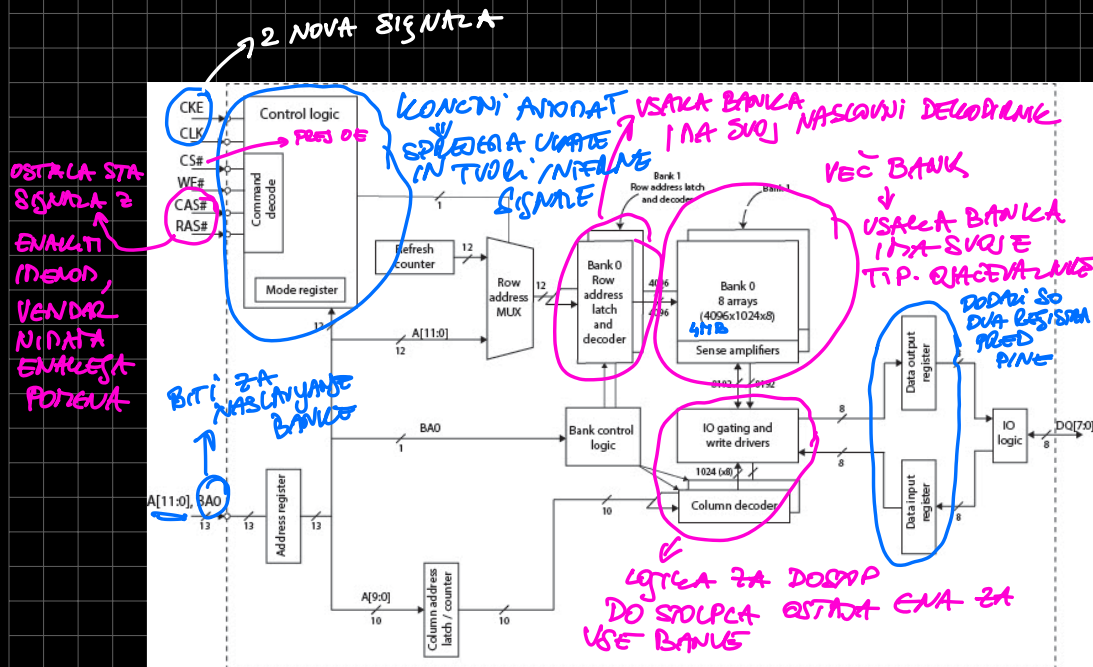
→ demo vsaj 2 banki (2 - 16)
↓

PREPLETANJE BANK:

1. medtem ko berem iz vrstice
i v banki j, lahko odprem vrstico
i v banki j+1 in ji te priključim
za nadaljnje dostope

2. medtem ko dostopam do ene banki,
osvežujem drugo banki

↓
 vse to so novosti, ki so jih vpeleli v
 SDRAM-2 (≈ 2000)



4 signal: CAS#, RAS#, CS# in WE# tvorijo
 t.i. UKAZE

Command	CS#	RAS#	CAS#	WE#	Address
COMMAND INHIBIT	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
ACTIVE (select bank and activate row)	L	L	H	H	Bank/row
READ (select bank and column, and start READ burst)	L	H	L	H	Bank/col
WRITE (select bank and column, and start WRITE burst)	L	H	L	L	Bank/col
PRECHARGE (deactivate row in bank)	L	L	H	L	Bank/row
AUTO REFRESH	L	L	L	H	X
LOAD MODE REGISTER	L	L	L	L	Code

odpri vrstico

beri stolpec
 piši stolpec

zapri vrstico

Potek nastavljanja uklopu:

1. ACTIVE + naslov vrstice na A volik + bank
2. READ + naslov stolpca $\hookrightarrow$ + bank
3. PRECHARGE + naslov vrstice + bank

SE ENA NOVOST (posledica CLK in
U/I register)



BURS ali EKSPLOZIVSKA PLENOS



Z enim samim READ uklopom in
enim samim naslovom stolpca nam
SDRAM vrne 2-8 zaporednih stolpcev
tako, da v volik urini periodično zapre
vsega v Address register

Speed: branje z $BL=4$

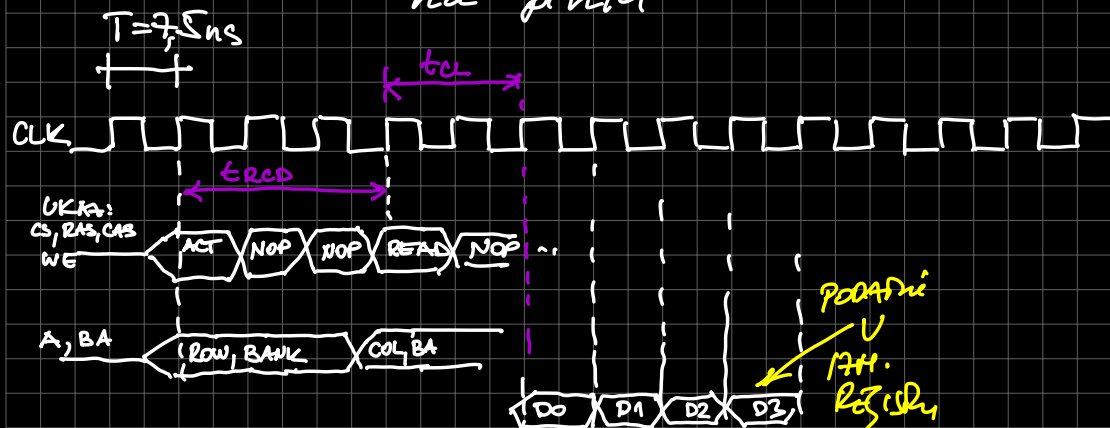
$$t_{RCO} = t_{CL} = t_{RP} = 15 \text{ ns}$$

$$f_{CLK} = 133 \text{ MHz} \quad (T_{CKE} = 7.5 \text{ ns})$$

Sedaj v SDRAM-ih dobimo časovne razmike
med posameznimi uklopi

t_{RCO} : čas med ACTIVE in READ/WRITE

t_{CL} : čas med READ in prvim bajtom na pinu



$t_{RCD} + t_{CL}$

čas dostopa do 1. podatka v vrstici, ki ni odprta ($\geq 30 \text{ ns}$)

vsi podatki v prvi takt po READ

vsaka vrstica preide (za red. BURST prenos)

SDRAM sam prenese 1 podatek iz registra vrstice v vhodni register