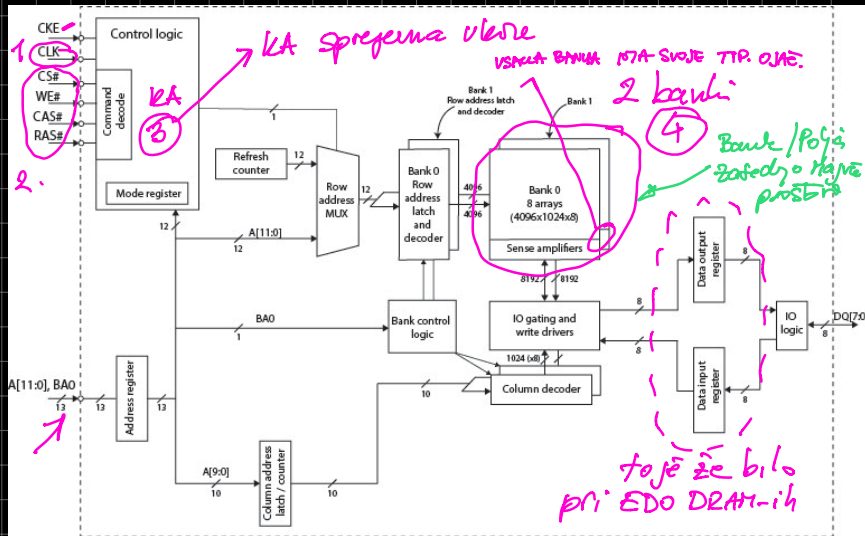


SDRAM



1. Vse operacije se strukturizirajo z enim signalom
2. Kontrolni signali ($\overline{CAS}$, $\overline{RAS}$, ...) niso neposredno vezani na notranji elektronske in zapake (latche)
 TEMVEČ: ti signali so vhodi v KA, ki s svojimi izhodi krmili notranji gradnje v SDRAM-u

3. Kontrolni signali so obkroženi z koncnim avtomat

POMNILNIŠČE: KRMILNIK pošilja vrese (Memory Controller)

4. SDRAM-i imajo več bank (vsaj 2)

PREPLETANJE BANK (BANK INTERLEAVING)

Medtem ko dostopam do vrstice v eni banki, odprem vrstico v drugi banki

SDRAM UKAZI

→ ukaze določajo 4 kontrolni signali:

$\overline{CAS}$: Column Address Strobe

→ nima več tiste funkcionalnosti,
ki jo je imel pri DRAM-ih

↙
Ne krmili stolpnegega dekodiranja

$\overline{RAS}$: Row Address Strobe

→ nima več tistega pomoči iz
DRAM-ov

↳ ne krmili dekodiranja
vrstice

$\overline{WE}$: Write Enable

→ ne krmili logičnega bloka

$\overline{CS}$: Chip Select

→ aktivira SDRAM chip

UKAZI

Command	CS#	RAS#	CAS#	WE#	Address
COMMAND INHIBIT	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
<u>ACTIVE</u> (select bank and activate row)	L	L	H	H	Bank/row
<u>READ</u> (select bank and column, and start READ burst)	L	H	L	H	Bank/col
<u>WRITE</u> (select bank and column, and start WRITE burst)	L	H	L	L	Bank/col
<u>PRECHARGE</u> (deactivate row in bank)	L	L	H	L	Bank/row
AUTO REFRESH	L	L	L	H	X
LOAD MODE REGISTER	L	L	L	L	Code

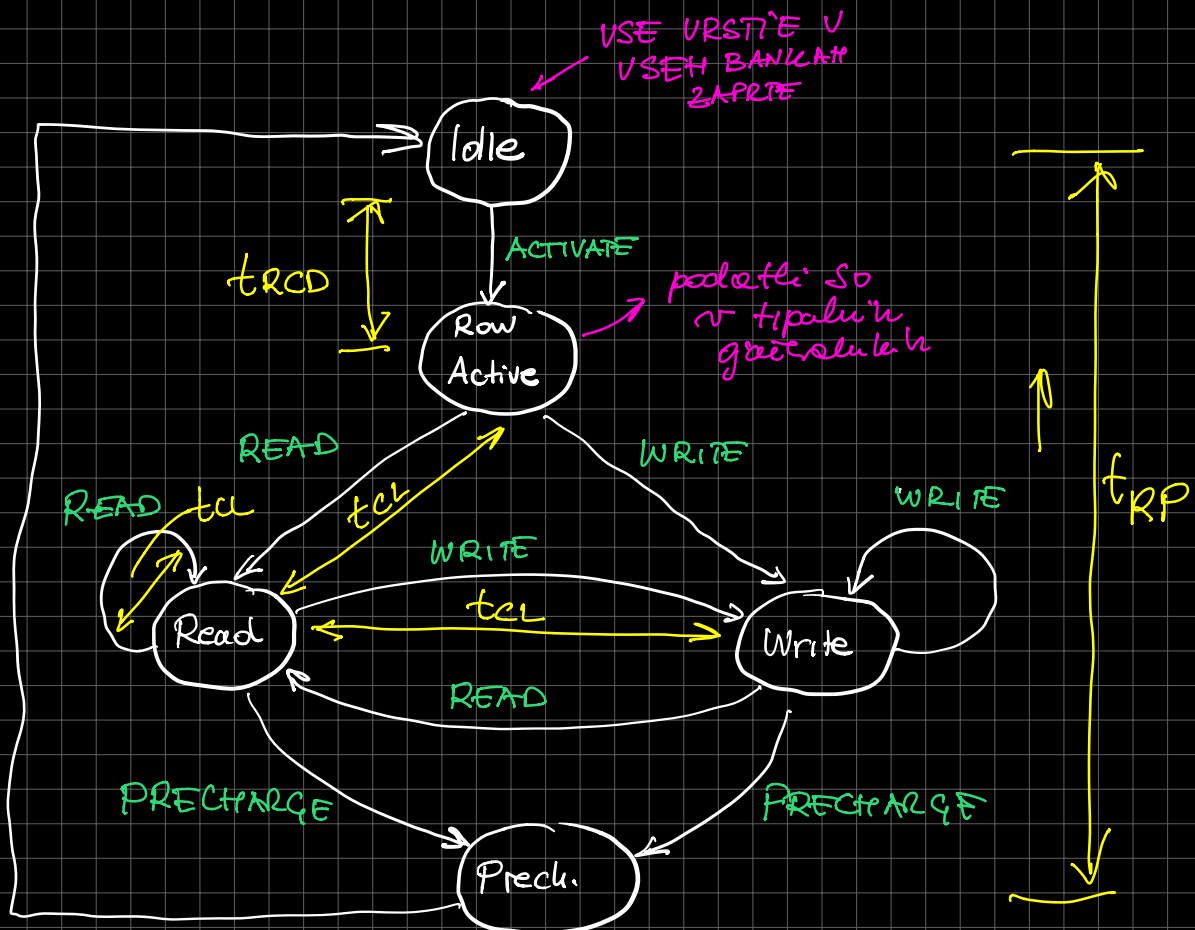
naslov banke in
vrstice, ki jo želimo
odpreti

5) Eksplozijski prenos

↳ ko zahtevamo branje/pisanje
eneje stolpca v odprti vstici,
bo KA sam razstavljal naslove
za dostop do BL naslednjih
stolpcer

Burst Length (2, 4, 8)
(dolžina eksplozijskega prenosa)

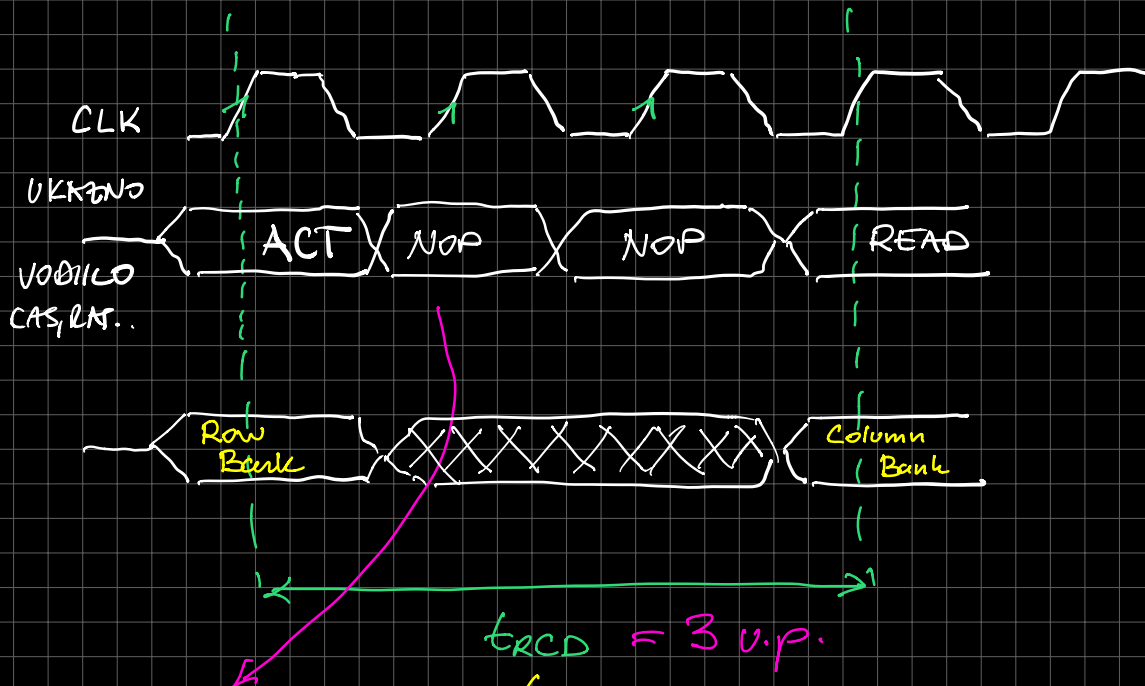
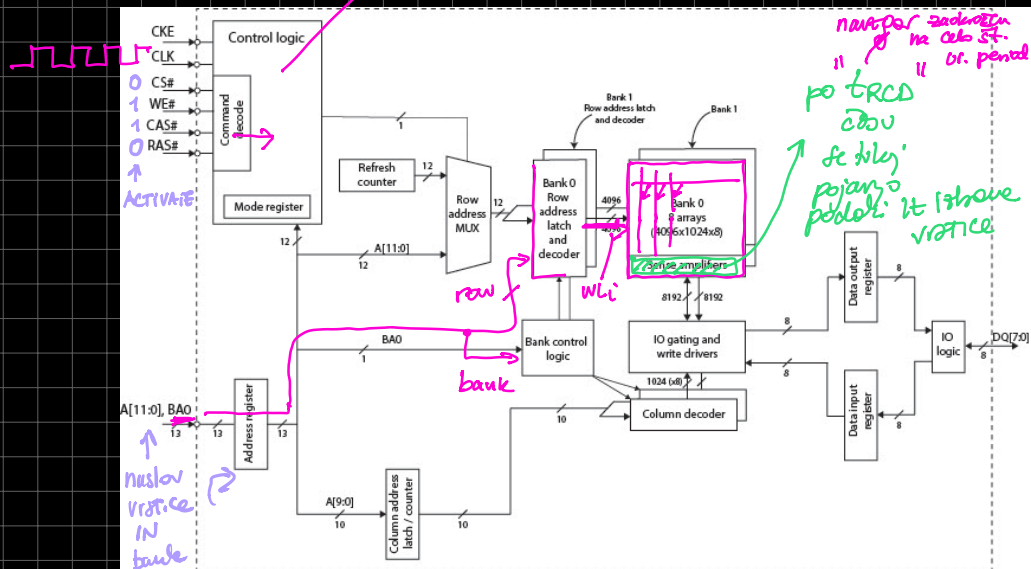
Poenostavljeni diagram prehodov
KA v SDRAM-u



Izvajanje ukaza

① ACTIVATE

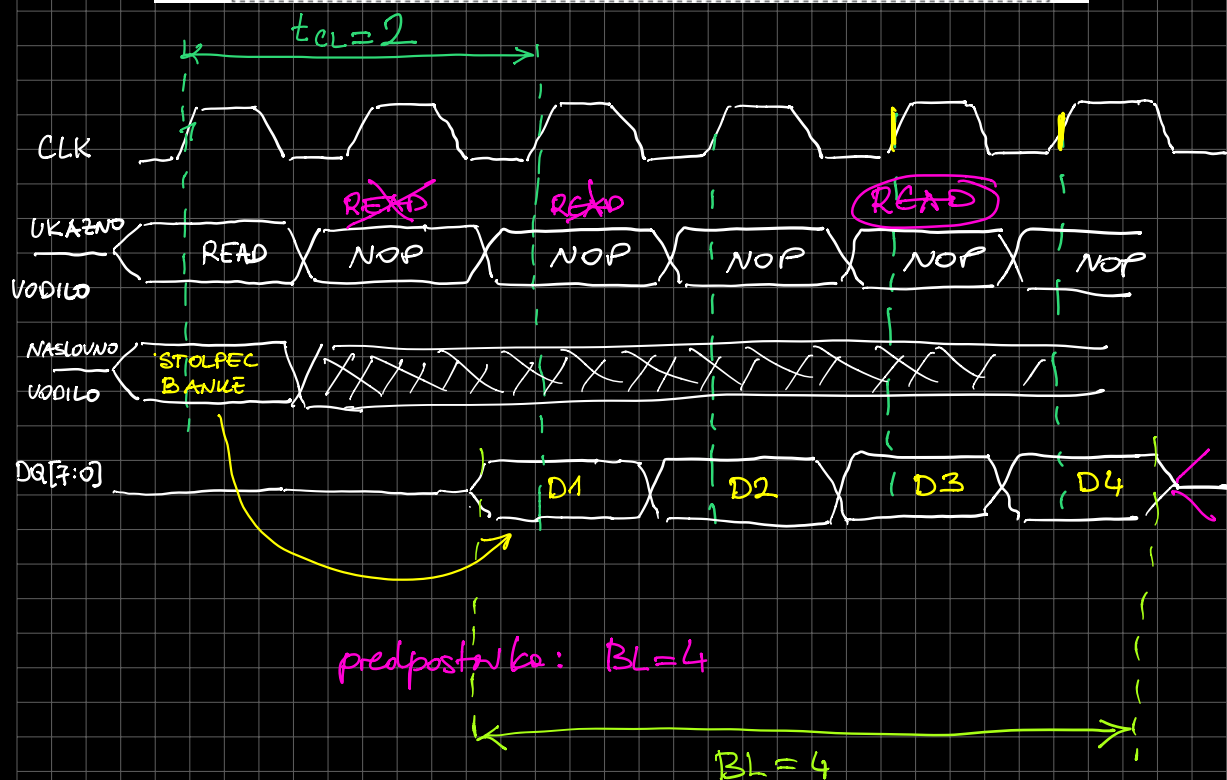
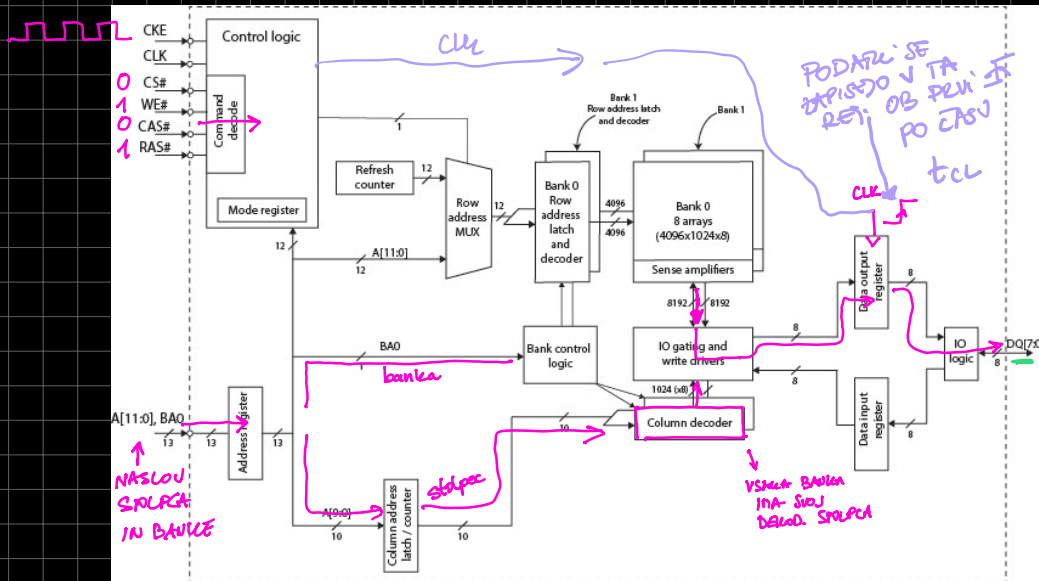
negative class ob $\downarrow$



Na mesta kjer NRP deluje bi lahko postopoma ukrevali, če se nanaša na meke druge karte.

člokler ne mine t_{RCD} , ne smem izstati
nobene druge ukaza ali ista banka, razen
ukaza NOP

② READ



Novi READ smem izstati $t_{CL}-1$ pred $\overline{F}$ ob kateri je vjaren zadnji podatek
merjeno v celih $\overline{F}$ urin period

POVZETEK

→ S SDRAM-i lahko "maskiramo" zakasnitve:

1. t_{RC} maskiramo s prepletanjem bank
2. t_{CL} maskiramo s prepletanjem bank ali z črpanjem izskorajenih READ/WRITE ukazov v isti banki

→
Izstavimo jih $x = t_{CL} - 1$ urin period pred zadnjim podatkom

$t_{CL} \Rightarrow$ pri SDRAM-i se vedno meri v celih števil urin period

CL

Domaća naloga:

- Narišite črtni diagram za branje 16 podatkov (stolpcov) iz iste vrstice ob upoštevanju: $CL=3$, $BL=4$

→ v učbeniku preberite: 1.9. (SDRAM)

→ SE POSREDI: READ-T-PRECHARGE

POVZETEK: Kalo smo s SDRAM
skrajšali dostopni čas:

1. PREPLETANJE BANK
 2. CEVODENJE READ/WRITE in PRECHANGSE UCTION
 3. BURST
- to ne bi bilo mogoče brez CLK in KA

SE NEKAJ JE SUPER: BRIN SIGNAL JE
ODGOČA SIN. DRANJE
PODAVKOV



→ Če imamo RES DOSTOP DO ZAPOREDNIH
PODAVKOV (PROSTORSKA LOCALNOST)

→ podatke dobivamo efektivno
ob vsaki $\uparrow$

ČE ZNAMO SE HITREJE PRENAŠATI PODATKE

↳ npr. 2 podatke v
1 u.p.

prenašali bomo podatke na 2
fronti: $\uparrow$ in $\downarrow$

zaradi tega bomo moral spremeniti
interno $\uparrow$ / $\downarrow$

DDR (Double Data Rate)